

PATENT ABSTRACTS OF JAPAN

cited reference 1

(11)Publication number : 2002-261190

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H01L 23/12
H01L 21/60

(21)Application number : 2001-054075

(71)Applicant : SONY CORP

(22)Date of filing : 28.02.2001

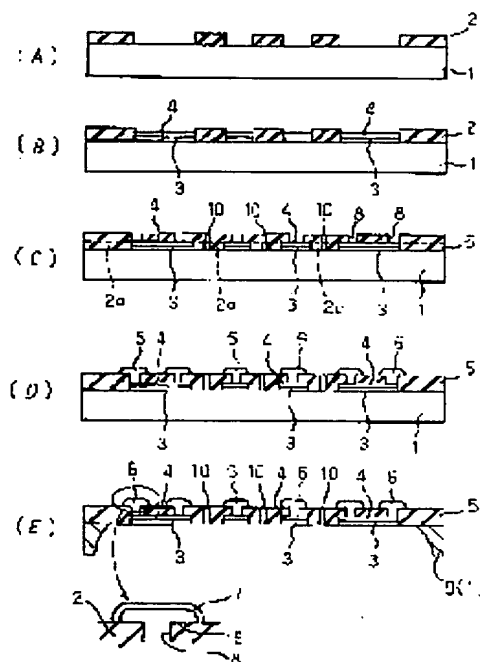
(72)Inventor : KOBAYASHI HIROTAKA
KOYAMA HISAKI

(54) SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING THE SAME AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To mount fine ball electrodes for a CSP(Chip Size Package) or BGA(Ball Grid Array) type semiconductor, reduce diameters of holes for forming electrodes, make an interconnection pattern finer, improve outer shape accuracy and to facilitate fabrication.

SOLUTION: A plurality of interconnection films 4 are formed on portions of one surface of a base 5 consisting of an dielectric resin such that the film surface is positioned on the same plain as the base surface, and at least parts of the interconnection films are duplicated to electrode-forming holes 8 of the base. External electrodes protruding to the other side of the interconnection films are formed by filling each electrode-forming hole 8 with a conductive material. Subsequently, a semiconductor device 14 is flip-chip-connected onto the one surface of the base 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Claim(s)]

[Claim 1] The wiring substrate with which the hole was formed in the location which is embedded in the surface section of the method of this insulating resin top Norikazu so that one front face of the wiring film may be located on the same flat surface as one front face of insulating resin, and overlaps some above-mentioned wiring film [at least] of this insulating resin, The semiconductor device characterized by having the semiconductor device by which some external drawer electrodes [at least] were connected to the wiring film of the above-mentioned wiring substrate through the bump.

[Claim 2] The semiconductor device according to claim 1 characterized by having the external electrode which projects in the part in which the above-mentioned hole of the above-mentioned insulating resin was formed, on the front face of the method of insulating resin top Norikazu, and the front face of the opposite side.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by the ring which becomes the periphery section of the near field in which the above-mentioned wiring film of the above-mentioned insulating resin was formed from a metal pasting up.

[Claim 4] The semiconductor device according to claim 1, 2, or 3 characterized by forming the through tube from one front face to the front face of another side in the above-mentioned insulating resin.

[Claim 5] The semiconductor device according to claim 1, 2, 3, or 4 characterized by the thing of the above-mentioned semiconductor device closed near [above-mentioned] the bump by resin at least.

[Claim 6] The semiconductor device according to claim 1, 2, 3, 4, or 5 characterized by closing the part between the above-mentioned semiconductor device and the above-mentioned wiring substrate by resin.

[Claim 7] The semiconductor device according to claim 6 characterized by closing the external electrode corresponding point top by the side of the above-mentioned wiring film formation of the above-mentioned wiring substrate by resin.

[Claim 8] The semiconductor device according to claim 7 characterized by the ring which becomes the periphery section of the near field in which the above-mentioned wiring film of the above-mentioned insulating resin was formed from a metal pasting up, and coming to bury the part between the above-mentioned ring and the above-mentioned semiconductor device by resin.

[Claim 9] The semiconductor device according to claim 1, 2, 3, 4, 5, 6, 7, or 8 with which electric connection through the bump between the external drawer electrode of the above-mentioned semiconductor device and the wiring film of the above-mentioned wiring substrate is characterized by coming to be accomplished through the anisotropy electric conduction film or anisotropy electric conduction resin.

[Claim 10] The semiconductor device according to claim 1, 2, 3, 4, 5, 6, 7, or 8 characterized by coming to accomplish the electric connection through the bump between the external drawer electrode of the above-mentioned semiconductor device, and the wiring film of the above-mentioned wiring substrate by connection using a supersonic wave.

[Claim 11] The semiconductor device according to claim 1, 2, 3, 4, 5, 6, 7, or 8 characterized by coming to accomplish the electric connection through the bump between the external drawer electrode of the above-mentioned semiconductor device, and the wiring film of the above-mentioned wiring substrate by connection using heat pressurization.

[Claim 12] The semiconductor device according to claim 1, 2, 3, 4, 5, 6, 7, or 8 with which electric connection through the bump between the external drawer electrode of the above-mentioned semiconductor device and the wiring film of the above-mentioned wiring

substrate is characterized by coming to be accomplished through solder.

[Claim 13] The semiconductor device according to claim 1, 2, 3, 4, 5, 6, 7, or 8 with which electric connection through the bump between the wiring film of the above-mentioned wiring substrate of the external drawer electrode of the above-mentioned semiconductor device is characterized by coming to be accomplished through electric conduction resin.

[Claim 14] It is carried in the wiring substrate with which two or more semiconductor devices were formed possible [loading], and it. Two or more semiconductor devices by which the bump was formed in the external drawer electrode are prepared. The manufacture approach of the semiconductor device characterized by connecting between the above-mentioned bump of each above-mentioned semiconductor device, and the wiring film of the above-mentioned wiring substrate by the supersonic wave or heat pressurization, slushing resin near [bump] the above, closing that, dividing the above-mentioned wiring substrate after that, and obtaining two or more semiconductor devices.

[Claim 15] The manufacture approach of a semiconductor device of carrying out being carried in a wiring substrate and it, preparing two or more semiconductor devices by which the bump was formed in the external drawer electrode, sticking the anisotropy electric-conduction film on the wiring film forming face of the above-mentioned wiring substrate, carrying a semiconductor device on the above-mentioned anisotropy electric-conduction film of the above-mentioned wiring substrate, connecting electrically between the bump of the above-mentioned semiconductor device, and the above-mentioned wiring film by heat heating, and pouring in and closing resin to the above-mentioned semiconductor device periphery as the description.

[Claim 16] It is embedded in the surface section of the method of this insulating resin top Norikazu so that one front face of the wiring film may be located on the same flat surface as one front face of insulating resin. A hole is formed in the location which overlaps some above-mentioned wiring film [at least] of this insulating resin. The wiring substrate with which the piece for laminatings of connection was formed in the outside of the semiconductor device loading field of the above-mentioned front face of this insulating resin, and the external electrode electrically connected with the above-mentioned wiring film at the above-mentioned hole of the front face of another side of this insulating resin was formed, The semiconductor device characterized by having the semiconductor device by which it connected with the external electrode of the above-mentioned wiring substrate through the bump, and some external drawer electrodes [at least] were carried in the above-mentioned semiconductor device loading field.

[Claim 17] It is formed so that this film front face may be located on the same flat surface as the above-mentioned base front face in two or more wiring film at one [which consists of insulating resin and has an electrode formation hole] surface section of the base and some [at least] wiring film may lap with the above-mentioned electrode formation hole. The external electrode with which each above-mentioned electrode formation hole is buried with a conductive ingredient, and projects on that anti-wiring film side face is formed, and a semiconductor device pastes up with this rear face through the insulating material film on the front face of the method of above-mentioned base top Norikazu. Each electrode of the above-mentioned semiconductor device, The semiconductor device characterized by carrying out flip chip bonding of each wiring film corresponding to it.

[Claim 18] The semiconductor device according to claim 17 characterized by the ring which consists of a metal outside the flip-chip-bonding section of the above-mentioned semiconductor device in the wiring film forming face of the base coming to paste up.

[Claim 19] The semiconductor device according to claim 17 or 18 characterized by having

the CSP structure which closed the semiconductor device with the chip-size package [claim 20] The semiconductor device according to claim 17 or 18 characterized by having the BGA structure which closed the semiconductor device with a ball grid array type package.

[Claim 21] The semiconductor device according to claim 17, 18, 19, or 20 characterized by coming to form a gas drainage hole in the base [claim 22] The process which forms the metal membrane for an etching stop for the wiring film as a substrate by plating which uses as a mask the mask film alternatively formed in one front face of a metal substrate, The process which forms the base which consists of insulating resin which has the electrode formation hole to which some [at least] wiring film of the above-mentioned wiring film is exposed partially in the near front face in which the above-mentioned wiring film of the above-mentioned metal substrate was formed, The process etched until the metal membrane for an etching stop which constitutes the above-mentioned substrate at least from a rear-face side exposes the field of the above-mentioned metal substrate in which the wiring film was formed at least, The manufacture approach of the semiconductor device characterized by having at least the process which connects electrically some external drawer electrodes [at least] of a semiconductor device to the wiring film of the above-mentioned wiring substrate through a bump.

[Claim 23] What carried out the laminating of the metal membrane for an etching stop is used for the front face as a metal substrate. It is supposed that formation of the wiring film which makes the metal membrane for an etching stop a substrate is carried out by plating by using this mask film as a mask after forming the mask film alternatively on this metal membrane for an etching stop. The manufacture approach of the semiconductor device according to claim 22 characterized by having the process which removes this metal membrane for an etching stop after the etching process at which the above-mentioned metal membrane for an etching stop from the rear-face side of the field of the above-mentioned metal substrate in which the wiring film was formed at least is exposed is completed.

[Claim 24] Claims 1-13, electronic equipment characterized by the thing of the semiconductor device of a publication for which any one was built in at least 16-21.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device, its manufacture approach, and electronic equipment.

[0002]

[Description of the Prior Art] CPS (chip-size package) for corresponding to many electrode-ization of a semiconductor device recently had many things of a type which carry out pellet bonding of the semiconductor device, and perform wiring by the side of a semiconductor device and a wiring substrate by wirebonding in old. Drawing 14 is the sectional view showing an example of a such wirebonding type semiconductor device. In this drawing, the minute ball electrode and l which the base where a consists of polyimide resin, and b become from the solder with which the wiring film and c were formed in the electrode formation hole, and d was formed in this electrode formation hole c are for example, the silver paste film, and bonding of the semiconductor device f is carried out to the front face of Base a through this silver paste film l. The wire with which i connects the ring for resin **** stops with resin reinforcement, and m connects between the wiring film b with the electrode of a semiconductor device f electrically, and n are closure resin supplied by potting.

[0003] However, CSP (chip-size package) of a type which performed flip chip bonding has also appeared the semiconductor device recently. Drawing 15 is such a flip-chip-bonding

type, and is the sectional view showing one of the conventional examples of CPS using FPC (flexible-printed-wiring substrate). The base where a consists of polyimide resin in this drawing, the wiring film with which b was formed in the front face of this base a and which consists of copper, for example, The electrode formation hole with which c was formed in this base a, the minute ball electrode which consists of solder with which d was formed in this electrode formation hole c, While e pastes up a semiconductor device f on a base a front face, the anisotropy electric conduction film which connects the external drawer electrode of this semiconductor device f with the above-mentioned wiring film b through the metal bump g of this electrode surface, and i are film shrinkage rings, for example, consist of copper or nickel. j is adhesives which paste up this film shrinkage ring i on Film a. k is plating film which was put on the front face of the above-mentioned wiring film b and which consists of gold, for example.

[0004]

[Problem(s) to be Solved by the Invention] By the way, since the semiconductor device f was turned upward, the electrode was carried for it in Base a and between the electrode and wiring film b of Base a connected to CPS of the type shown in drawing 14 with Wire m, there was a problem that where of it is difficult for the bending part of Wire m to make resin seal thickness thin on the relation located above the top face of a semiconductor device f, as a result it difficult to make package thickness thin.

[0005] Since Wire m is not used for CSP of the type shown in drawing 15 to it, it does not have such a problem. However, the demand to high integration of a semiconductor device and a miniaturization does not have the place at which it stops, and there was a problem that it was difficult to meet the demand of the miniaturization of the further package and thin-shape-izing. It is formed on the front face of the base a where the wiring film b becomes the film of the package of the type shown in drawing 15 from resin, and the height of a wiring film b front face is because it becomes high, so it is hard to respond to the request of thin-shape-izing more by the thickness of the wiring film b from the front face of Base a. Furthermore, since the wiring film is formed in a film front face at a convex form, resin cannot enter easily between the wiring film and the wiring film, and it is easy to become a void. This void has also generated the problem from which the moisture which accumulated in the void at the time of a moisture absorption reflow explodes, and connection of the wiring-on film film and distribution is removed.

[0006] It succeeds in this invention that such a trouble should be solved, and the type of loading of a chip is a flip chip type, and it aims at attaining easy-izing of manufacture of a CSP or BGA type semiconductor device, low-cost-izing, thin-shape-izing of package thickness, and high-reliability-ization.

[0007]

[Means for Solving the Problem] The semiconductor device of claim 1 is embedded in the surface section of the method of this insulating resin top Norikazu so that one front face of the wiring film may be located on the same flat surface as one front face of insulating resin. It is characterized by having the wiring substrate with which the hole was formed in the location which overlaps some above-mentioned wiring film [at least] of this insulating resin, and the semiconductor device by which some external drawer electrodes [at least] were connected to the wiring film of the above-mentioned wiring substrate through the bump.

[0008] Therefore, according to the semiconductor device of claim 1, since the wiring film is formed in one surface section of the base at *****, a surface level difference can be lost, and further, since a semiconductor device is carried by the flip chip on this base front face, thickness of a semiconductor device can be made thin. And since an electrode formation hole

can be formed by exposure of the base, and development, detailed-izing and high accumulation consistency-ization can be attained, as a result high integration of a semiconductor device and multi-electrode number-ization can be attained.

[0009] The wiring substrate formed by the manufacture approach of the semiconductor device of claim 14 possible [loading of two or more semiconductor devices], It is carried in it and two or more semiconductor devices by which the bump was formed in the external drawer electrode are prepared. It is characterized by connecting between the above-mentioned bump of each of this semiconductor device, and the wiring film of the above-mentioned wiring substrate by the supersonic wave or heat pressurization, slushing resin near [bump] the above, closing that, dividing the above-mentioned wiring substrate after that, and obtaining two or more semiconductor devices.

[0010] Therefore, according to the manufacture approach of the semiconductor device of claim 14, two or more thin-shape-ized semiconductor devices can be obtained to coincidence by carrying out flip chip bonding of the semiconductor device to a wiring substrate by the supersonic wave or heat pressurization, closing by resin, and dividing after that.

[0011] The manufacture approach of the semiconductor device of claim 15 is carried in a wiring substrate and it. Two or more semiconductor devices by which the bump was formed in the external drawer electrode are prepared. The anisotropy electric conduction film is stuck on the wiring film forming face of the above-mentioned wiring substrate, a semiconductor device is carried on the above-mentioned anisotropy electric conduction film of the above-mentioned wiring substrate, between the bump of the above-mentioned semiconductor device and the above-mentioned wiring film is electrically connected with heat heating, and it is characterized by pouring in and closing resin to the above-mentioned semiconductor device periphery.

[0012] Therefore, according to the manufacture approach of the semiconductor device of claim 15, the thin-shape-ized semiconductor device can be obtained by carrying out flip chip bonding of the semiconductor device to a wiring substrate using the anisotropy electric conduction film, and closing by resin. Moreover, since a substrate is a flat, it is hard to produce a void, and it is hard to disconnect at the time of a moisture absorption reflow.

[0013] The semiconductor device of claim 16 is formed so that this film front face may be located on this base front face and an abbreviation same flat surface in two or more wiring film and some [at least] wiring film may lap with the electrode formation hole of the above-mentioned base at one surface section of the base which consists of insulating resin. The external electrode which buries this each electrode formation hole with a conductive ingredient, and projects on the anti-wiring film side face is formed, and it is characterized by carrying out flip chip bonding of the semiconductor device on the front face of the method of above-mentioned base top Norikazu.

[0014] Therefore, since according to the semiconductor device of claim 16 a surface level difference can be lost since the wiring film is formed in one surface section of the base at ***** , and a semiconductor device is carried on this front face, loading of a semiconductor device becomes easy and can raise the dependability of a semiconductor device. And since an electrode formation hole can be formed by exposure of the base, and development, detailed-izing and high accumulation consistency-ization can be attained, as a result high integration of a semiconductor device and multi-electrode number-ization can be attained.

[0015] and when paste up the ring which consist of a metal outside the flip chip bonding section of a semiconductor device in the wiring film forming face of the base , it can also use also as a dam which can use this ring as for example , a grand power source of a power source , and prevent the outward leak of the resin for the closures not only at it but at the

time of a resin seal although it be utilizable as an electrostatic shield which cover a semiconductor device and the exterior electrostatic further .

[0016] Semiconductor device of claim 17, it is formed so that this film front face may be located on the same flat surface as the above-mentioned base front face in two or more wiring film at one [which has an electrode formation hole] surface section of the base and some [at least] wiring film may lap with the above-mentioned electrode formation hole. The external electrode with which this each electrode formation hole is buried with a conductive ingredient, and projects on that anti-wiring film side face is formed, and a semiconductor device pastes up with this rear face through the insulating material film on the front face of the method of above-mentioned base top Norikazu. Each electrode of the above-mentioned semiconductor device, It is characterized by carrying out flip chip bonding of each wiring film corresponding to it.

[0017] Therefore, since according to the semiconductor device of claim 17 a surface level difference can be lost since the wiring film is formed in one surface section of the base at *****, and a semiconductor device is carried on this front face, the flip chip bonding of a semiconductor device becomes easy, and can raise the dependability of a semiconductor device. And since an electrode formation hole can be formed by exposure of the base, and development, detailed-izing and high accumulation consistency-ization can be attained, as a result high integration of a semiconductor device and multi-electrode number-ization can be attained.

[0018] The process which forms the metal membrane for an etching stop for the wiring film as a substrate by plating which uses as a mask the mask film which formed the manufacture approach of the semiconductor device of claim 22 in one front face of a metal substrate alternatively, The process which forms in the front face by the side of the wiring film of the above-mentioned metal substrate the base which consists of insulating resin which has an electrode formation hole, It is characterized by having at least the process etched until the metal membrane for an etching stop which constitutes the above-mentioned substrate at least from a rear-face side exposes the field of the above-mentioned metal substrate in which the wiring film was formed at least.

[0019] Therefore, since according to the manufacture approach of the semiconductor device of claim 22 it is possible to form an external electrode by plating after forming the wiring film by plating which uses the mask film as a mask, using a metal substrate as the base and forming after that the electrode formation hole which consists of insulating resin, it can succeed in forming the wiring film and an external electrode by electroplating easily. It is because it is in the condition that a metal substrate and each wiring film were connected electrically, so potential required for electroplating can be given to the whole surface of the metal substrate. And since according to electroplating the good plating film of membraneous quality can be obtained rather than it is based on electroless deposition, the good wiring film and an external electrode can be obtained easily. Moreover, so, micrifying of the wiring film and an external electrode and densification of an arrangement consistency can also be attained. And detailed-izing of the wiring film and the number of the wiring film which it can let pass to external inter-electrode one conjointly can be increased, as a result an external electrode array number of stages can be increased. This can enable the increment in the number of external electrodes.

[0020] Moreover, since the electrode formation hole was formed from patterning of the insulating resin on a metal substrate, it also became possible to make into less than [0.22mm or it] the path of the electrode formation hole detailed-izing of an electrode formation hole was possible, and was not conventionally completed into 0.5mm or less by the FPC type,

and was not completed in 0.35mm or less by the rigid substrate type. And in connection with attaining detailed-ization of this electrode formation hole, the arrangement consistency of an electrode formation hole can also be raised more. Since patterning of insulating resin can perform an electrode formation hole, as compared with the case where punching is carried out for an electrode formation hole [as / in a rigid substrate type] with a drill, processing is not troublesome, and productivity is high.

[0021] And the part which remains can be used as a ring by performing etching until the metal membrane for an etching stop which constitutes the above-mentioned substrate at least from a rear-face side exposes the field of a metal substrate in which the wiring film was formed at least so that a metal substrate may remain in the shape of a ring outside. And as the ring was mentioned above, it can use as a grand power supply terminal and an electrostatic shield, but since the ring constitutes the appearance of a semiconductor device and it is formed by etching, process tolerance can be made high. Therefore, the appearance precision of a semiconductor device can be raised.

[0022] Furthermore, since it manufactures by using a metal substrate as a parent, there is no possibility of producing deformation of bending during manufacture. Therefore, even if a semiconductor device becomes large-sized, it is easy to do an activity. Therefore, enlargement of a semiconductor device can be made easy.

[0023] The semiconductor device of claim 24 is characterized by the thing of claims 1-13 and a semiconductor device given in 16-21 for which any one was built in at least.

[0024] Therefore, according to the electronic equipment of claim 24, since a semiconductor device with the above-mentioned advantage is used, the advantage is enjoyable.

[0025]

[Embodiment of the Invention] The gestalt of one real vigor of this invention semiconductor device is formed so that this film front face may be located on this base front face and an abbreviation same flat surface in two or more wiring film and some [at least] wiring film may lap with the above-mentioned electrode formation hole at one surface section of the base which consists of insulating resin. Bury this each electrode formation hole with a conductive ingredient, and an external electrode is formed in the anti-wiring film side face. Moreover, it connects electrically by carrying out heating pressurization, impressing pressurization or supersonic vibration forming a bump on the external electrode of a semiconductor device, and impressing heating pressurization or supersonic vibration for the wiring film on the base with this bump. Furthermore, a package is obtained by slushing and carrying out heat hardening of the resin, and dividing it further between the base and a semiconductor device.

[0026] Moreover, the gestalt of another operation of this invention semiconductor device This film front face is located on this base front face and an abbreviation same flat surface in two or more wiring film at one surface section of the base. Form so that some [at least] wiring film may lap with the above-mentioned electrode formation hole, and bury this each electrode formation hole with a conductive ingredient, and an external electrode is formed in the anti-wiring film side face. Moreover, form a bump on the external drawer electrode of a semiconductor device, and the wiring film on the base is electrically connected through an electric conduction particle with this bump. Furthermore, a package is obtained by slushing and carrying out heat hardening of the resin to right above [of a package / external drawer electrode], and dividing further.

[0027] And the semiconductor device which carried the semiconductor device in this package The process which forms the metal membrane for an etching stop for the wiring film as a substrate by plating which uses as a mask the mask film alternatively formed in one

front face of a metal substrate, The process which forms in the front face by the side of the wiring film of the above-mentioned metal substrate the base which consists of insulating resin which has an electrode formation hole, It can manufacture by the approach of having the process etched until the metal membrane for an etching stop which constitutes the above-mentioned substrate at least from a rear-face side exposes the field of the above-mentioned metal substrate in which the wiring film was formed at least.

[0028] Although the above-mentioned metal substrate may become a base material on manufacture and it may become a periphery ring later, one of the important things is become a parent for formation by plating of the wiring film and an external electrode, and being able to become the path of a plating current further, and its conductive high thing be the ingredient of copper thru/or a copper system, for example is desirable. These have very high rigidity, and since they do not bend even if they are thin, workability also has the advantage of being good. When copper thru/or a copper system ingredient are used, 30-150 micrometers is suitable for thickness.

[0029] Moreover, although it cannot be overemphasized that can use a resist acrylic photosensitive exfoliation type for the mask film used as a mask on the occasion of plating which forms the wiring film, and patterning is carried out by exposure and development in this case, the mask film is formed and the wiring film is formed by making it into a mask, that mask film will be exfoliated after that plating processing. Moreover, the photosensitive permanent resist film (thickness, for example, 40 micrometers) of epoxy acrylic may be used. Although the wiring film is formed by plating using this as a mask after carrying out patterning by exposure and sensitization naturally also in this case, the resist film is not removed but it keeps [exist / after that / eternally] made. In this case, the front face of the wiring film can be located in the front face and abbreviation completeness of the base on the same flat surface, namely, smoothing of a front face can be attained. Since this does not have a level difference in the substrate when forming the electrode by nickel later, it brings about the advantage referred to as being hard to produce deformation by the level difference. Of course, an ingredient etc. is not limited to what was mentioned above, and if it is faced forming the wiring film by the metal which consists of copper etc. and it can become a mask, it will not be limited to what was described here.

[0030] As the base, what laminated the film with a sensitization layer (thickness, for example, 12-25 micrometers) can be used for the polyimide film of a polyamic acid system, for example. And after exposing and developing the sensitization layer first, it can succeed in the patterning by etching the polyimide film of a polyamic acid system with etching reagents, such as lye. 280 degrees C of polyimide films of a polyamic acid system are fully hardened by heat treatment for about 30 minutes in that case. The thickness of the resist film used as the mask is about 25 micrometers. Of course, it is also possible to form the whole film used as a mask by photosensitive resin, to carry out patterning by the exposure and sensitization, and to form an electrode formation hole. Of course, these are one example until they get tired, respectively, and they may have various variations.

[0031] Although forming by plating with copper is suitable for the wiring film, it is desirable to make nickel into a substrate in that case. Although the wiring film can be formed by plating on the metal substrate which consists of copper, when etching the metal substrate later with the thing the copper wiring film of precise membraneous quality cannot grow up to be easily even if it plates directly on copper and exposing the wiring film, it is because the etching stopper which protects the copper wiring film from the etching is required and nickel is the the best for it. There should just be about 2 micrometers of thickness of this nickel film, for example. Although about 10-25 micrometers is suitable for the copper which

accomplishes the wiring film, naturally it may change with the specification of a semiconductor device, engine performance, etc.

[0032] Although an external electrode is formed after formation of the base with an electrode formation hole, the external electrode can be formed by plating about 1-150 micrometers of nickel, for example. In addition, it can suppose that about 100 micrometers of nickel plating are performed, for example, about 100 micrometers of solder can be plated after that, for example, and it can form also by carrying out a reflow for plastic surgery after that. Thus, there may be various variations also in formation of an external electrode.

[0033] Although it is indispensable in order for the etching to expose the wiring film mentioned above, although the above-mentioned metal substrate is etched from the rear face, you may carry out extensively and may carry out alternatively. When carrying out alternatively, it is good to etch the field in which the wiring film was formed and to make it a metal substrate remain as a periphery ring. Because, it is from it being utilizable further as a dam which obstructs the resin streak in the case of a resin seal as the grand electrode and electrostatic shield means of a reinforcement means and a power source (in the case of CSP), therefore a periphery ring can be said to be better [the alternative etching] rather than complete etching. For example, alkali etchant (ammonia system) can perform this etching. According to this etchant, although copper can be etched, it is because nickel cannot be etched but the above-mentioned nickel can be operated as an etching stopper. Of course, it is only an example of the gestalt of operation until this also gets tired.

[0034] When not forming solder using nickel, as for an external electrode, it is desirable from the field of connectability to plate a nickel-plating film front face with gold. In addition, although it is desirable that there is a substrate which consists of nickel in gold plate originally, the body of an external electrode is nickel from the first, and since the metal membrane for an etching stop is also nickel, in order to gold-plate, it is not necessary to form a nickel substrate specially, and it can be said in this case that good plating can be performed. Of course, the mode of forming an external electrode with nickel and the plating film of solder can carry out this invention, and the other operation gestalt can also take it.

[0035] This invention is applicable also to a BGA type semiconductor device not to mention a CPS type semiconductor device. this invention semiconductor device can be used for various electronic equipment, and especially miniaturizations, such as a cellular phone, are used for the electronic equipment demanded strongly, and can contribute it to the miniaturization and improvement in dependability.

[0036]

[Example] Hereafter, this invention is explained to a detail according to the gestalt of illustration implementation. Drawing 1 (A) thru/or (E) are sectional views in which drawing 2 (F) thru/or (I) similarly show process (F) - (I) for process [of the 1st example of the manufacture approach of this invention semiconductor device] (A) - (E) in order. This example is one example which applied this invention to the CSP type semiconductor device.

[0037] (A) First, as shown in drawing 1 (A), prepare the metal substrate 1 which consists of thickness, for example, 50-250-micrometer copper, thru/or a copper alloy, and form alternatively the resist film (the mask film, thickness, 30 [for example,], or 60 micrometers) 2. Using the resist of the above-mentioned passage, for example, an acrylic photosensitive exfoliation type, or the photosensitive permanent resist film of epoxy acrylic, carry out patterning of this formation by exposure and development, and let it be the mask film 2.

[0038] (B) Next, as shown in drawing 1 (B), form the wiring film (about 1-30 micrometers in thickness) 4 which consists of nickel / gold / nickel film (thickness is about 0.1-5 micrometers for the film of each) 3, and copper on the front face of the metal substrate 1 by

using the above-mentioned resist film 2 as a mask. When etching the metal substrate 1 from a rear-face side later and exposing wiring, nickel / gold / nickel film 3 is formed for the wiring film 4 which consists of this copper as a substrate, because the nickel film 3 obstructs etching of the wiring film 4 which consists of copper. That is, this nickel film 3 accomplishes the metal membrane for an etching stop. In addition, in order to avoid the short-circuit between the wiring film 4 using what formed the nickel film 3 in the front face extensively as a metal substrate after playing a role of a metal membrane for an etching stop, you may make it etch this nickel film 3 extensively. This may be adopted also in this example, although adopted in the 2nd example described later.

[0039] (C) Next, when the above-mentioned resist film 2 is a thing acrylic photosensitive exfoliation type, remove it. Moreover, for example, it is made to remain as it is in the case of the photosensitive permanent resist of epoxy acrylic without removing. And the base (thickness, for example, 25 micrometers) 5 which consists of polyimide resin, for example is formed, and patterning is carried out so that it may have the gas drainage hole 10 of a minor diameter from the electrode formation hole 8 and it in an orientation everywhere. Drawing 1 (C) shows the condition after the patterning. By missing the gas produced in the lower part of base 5 **, the gas drainage hole 10 plays the role which prevents beforehand expanding by heat treatment and removing the base 5.

[0040] In addition, the base 5 can more specifically use for the polyimide film of a polyamic acid system what laminated the film with a sensitization layer. And after exposing and developing the sensitization layer first, it can succeed in the patterning by etching the polyimide film of a polyamic acid system with etching reagents, such as lye. 280 degrees C of polyimide films of a polyamic acid system are fully hardened by heat treatment for about 30 minutes in that case. Of course, it is also possible to form the whole film used as a mask by photosensitive resin, to carry out patterning by the exposure and sensitization, and to form an electrode formation hole. Of course, these are one example until they get tired, respectively, and they may have various variations.

[0041] Drawing 3 (A) and (B) are shown in [(A), when the thing of an exfoliation object is used as resist film 2.] When a permanent resist type thing is used, it is shown in [(B).] It is the expanded sectional view comparing and showing the condition after ** base 5 formation. And 2a is the residual section of the resist film 2 at the time of using a permanent resist type thing. When this permanent resist type of thing is used, the front face of the wiring film can be located in the front face and abbreviation completeness of the base on the same flat surface, namely, smoothing of a front face can be attained. Since this does not have a level difference in the substrate when forming the electrode by nickel later, it brings about the advantage referred to as being hard to produce deformation by the level difference in an electrode 6.

[0042] (D) Next, by electroplating, as shown in drawing 1 (D), grow up the nickel film 6 with each electrode formation hole 8, and accomplish with a ** ball-like electrode. Thickness to plate is set to about 1-150 micrometers. Furthermore, a gold film is formed by plating after this.

[0043] (E) Next, while forming the periphery ring 9 by etching the metal substrate 1 alternatively so that it may remain as a periphery ring 9 in the periphery section for every semiconductor device from the rear-face side, expose the wiring film 4 through the nickel film 3. This etching is performed using alkali etchant (ammonia system). The nickel film 3 obstructs etching of the wiring film 4 which consists of copper in that case. Then, the nickel film is etched and a gold film is exposed. In addition, for convenience, although a gold film 7 was not illustrated to the drawing 1 (E) body and drawing 2, the external electrode 6 was

expanded, carried out and shown in the lower part of drawing 1 , and the gold film 7 was shown in it.

[0044] (F) Next, as shown in drawing 2 (F), paste up the anisotropy electric conduction film (thickness, for example, 50 micrometers) 11 which consists of adhesive tape which made the field by the side of wiring film formation of the base 5 distribute an electric conduction particle.

[0045] (G) Next, carry out flip chip bonding of the semiconductor device 12. On the external drawer electrode of this semiconductor device 12, plating or a wire bond technique is used, the stud bump 13 is specifically formed, flip chip bonding is performed so that the wiring film 4 of the above-mentioned base 5 may suit the bump 13 of this semiconductor device 12, by carrying out heating pressurization of the semiconductor device 12 after that, the anisotropy electric conduction film is stiffened and the wiring film 4 of the base 5 is electrically connected with the external drawer electrode of this semiconductor device 12.

Drawing 2 (G) shows the condition after the flip chip bonding.

[0046] In addition, it can succeed in formation of the bump 13 to a semiconductor device using the usual stud bump bonder. When one good example of a condition in that case is shown, it is US (supersonic wave) power:1-500mw temperature:100-250 degree C, load:10 - 70gf, and US time amount:5-50ms. A bump may form by plating. Moreover, you may make it form a bump in the wiring film [not a semiconductor device but] 4 side of the base 5. It can accomplish, when formation introduces stud bump formation software for the bump to the wiring film 4 at the usual wire bonder.

[0047] (H) next, as shown in drawing 2 (H), resemble right above [package (PKG) external drawer electrode], and slush and stiffen resin. 14 is liquefied resin. At this time, the above-mentioned periphery ring 9 plays a role of a dam which obstructs that resin 14 flows outside.

(I) The semiconductor device shown in drawing 2 (I) is the 1st example of this invention semiconductor device.

[0048] Next, with reference to the same Fig. (drawing 1 , drawing 2), the 2nd example of the manufacture approach of this invention semiconductor device is explained.

(A) First, as shown in drawing 1 (A), prepare the metal substrate 1 which consists of thickness, for example, 50-250-micrometer copper, thru/or a copper alloy, and form alternatively the resist film (the mask film and thickness, for example, 30-60 micrometers) 2. Using the resist of the above-mentioned passage, for example, an acrylic photosensitive exfoliation type, or the photosensitive permanent resist film of epoxy acrylic, carry out patterning of this formation by exposure and development, and let it be the mask film 2.

[0049] (B) Next, as shown in drawing 1 (B), form the wiring film (about 1-30 micrometers in thickness) 4 which consists of nickel / gold / nickel film (it is respectively specifically [thickness] about 0.1-5 micrometers 2.5 micrometers) 3, and copper on the front face of the metal substrate 1 by using the above-mentioned resist film 2 as a mask. When etching the metal substrate 1 from a rear-face side later and exposing wiring, nickel / gold / nickel film 3 is formed for the wiring film 4 which consists of this copper as a substrate, because the nickel film 3 obstructs etching of the wiring film 4 which consists of copper. That is, this nickel film 3 accomplishes the metal membrane for an etching stop. In addition, in order to avoid the short-circuit between the wiring film 4 using what formed the nickel film 3 in the front face extensively as a metal substrate after playing a role of a metal membrane for an etching stop, you may make it etch this nickel film 3 extensively. This may be adopted also in this example, although adopted in the 3rd example described later.

[0050] (C) Next, when the above-mentioned resist film 2 is a thing acrylic photosensitive

exfoliation type, remove it. Moreover, for example, it is made to remain as it is in the case of the photosensitive permanent resist of epoxy acrylic without removing. And the base (thickness, for example, 25 micrometers) 5 which consists of polyimide resin, for example is formed, and patterning is carried out so that it may have the gas drainage hole 10 of a minor diameter from the electrode formation hole 8 and it in an orientation everywhere. Drawing 1 (C) shows the condition after the patterning. By missing the gas produced in the lower part of base 5 **, the gas drainage hole 10 plays the role which prevents beforehand expanding by heat treatment and removing the base 5.

[0051] In addition, the base 5 can more specifically use for the polyimide film of a polyamic acid system what laminated the film with a sensitization layer. And after exposing and developing the sensitization layer first, it can succeed in the patterning by etching the polyimide film of a polyamic acid system with etching reagents, such as lye. 280 degrees C of polyimide films of a polyamic acid system are fully hardened by heat treatment for about 30 minutes in that case. Of course, it is also possible to form the whole film used as a mask by photosensitive resin, to carry out patterning by the exposure and sensitization, and to form an electrode formation hole. Of course, these are one example until they get tired, respectively, and they may have various variations.

[0052] Drawing 3 (A) and (B) are shown in [(A), when the thing of an exfoliation object is used as resist film 2.] When a permanent resist type thing is used, it is shown in [(B).] It is the expanded sectional view comparing and showing the condition after ** base 5 formation. And 2a is the residual section of the resist film 2 at the time of using a permanent resist type thing. When this permanent resist type of thing is used, the front face of the wiring film can be located in the front face and abbreviation completeness of the base on the same flat surface, namely, smoothing of a front face can be attained. Since this does not have a level difference in the substrate when forming the electrode by nickel later, it brings about the advantage referred to as being hard to produce deformation by the level difference in an electrode 6.

[0053] (D) Next, by electroplating, as shown in drawing 1 (D), grow up the nickel film 6 with each electrode formation hole 8, and accomplish with a ** ball-like electrode. Thickness to plate is set to about 1-150 micrometers. Furthermore, it gold-plates by plating after this.

[0054] (E) Next, while forming the periphery ring 9 by etching the metal substrate 1 alternatively so that it may remain as a periphery ring 9 in the periphery section for every semiconductor device from the rear-face side, expose the wiring film 4 through the nickel film 3. This etching is performed using alkali etchant (ammonia system). The nickel film 3 obstructs etching of the wiring film 4 which consists of copper in that case. Then, nickel is etched and a gold film is exposed. In addition, although a gold film 7 was not illustrated to the drawing 1 (E) body and drawing 2 for convenience, the external electrode 6 was expanded, carried out and shown in the lower part of drawing 1, and the gold film 7 was shown in it.

[0055] (F) Next, as shown in drawing 2 (F), paste up the anisotropy electric conduction film (thickness, for example, 50 micrometers) 11 which consists of adhesive tape which made the field by the side of wiring film formation of the base 5 distribute an electric conduction particle.

[0056] (G) Next, carry out flip chip bonding of the semiconductor device 12. On the external drawer electrode of this semiconductor device 12, plating or a wire bond technique is used, the stud bump 13 is specifically formed, flip chip bonding is performed so that the wiring film 4 of the above-mentioned base 5 may suit the bump 13 of this semiconductor device 12,

by carrying out heating pressurization of the semiconductor device 12 after that, the anisotropy electric conduction film is stiffened and the wiring film 4 of the base 5 is electrically connected with the external drawer electrode of this semiconductor device 12.

Drawing 2 (G) shows the condition after the flip chip bonding.

[0057] In addition, it can succeed in formation of the bump 13 to a semiconductor device using the usual stud bump bonder. When one good example of a condition in that case is shown, it is US (supersonic wave) power:1-500mw temperature:100-250 degree C, load:10 - 70gf, and US time amount:5-50ms. A bump may form by plating. Moreover, you may make it form a bump in the wiring film [not a semiconductor device but] 4 side of the base 5. It can accomplish, when formation introduces stud bump formation software for the bump to the wiring film 4 at the usual wire bonder.

[0058] (H) next, as shown in drawing 2 (H), resemble right above [package (PKG) external drawer electrode], and slush and stiffen resin. 14 is liquefied resin. At this time, the above-mentioned periphery ring 9 plays a role of a dam which obstructs that resin 14 flows outside.

(I) The semiconductor device shown in this drawing 2 (I) is the 2nd example of this invention semiconductor device.

[0059] According to the semiconductor device (the 1st example or 2nd example is not asked.) as shown in drawing 2 (I), since the wiring film 4 is formed in one surface section of the base 5 in the shape of embedding, the field by the side of wiring film formation of the base 5 can be made flat. And the wiring film formation pleural membrane 4 of a fine pattern can be formed easily. And since the electrode formation hole 8 can be formed by the exposure and development to the base 5, detailed-izing and high accumulation consistency-ization can be attained, as a result high integration of a semiconductor device and multi-electrode number-ization can be attained. Moreover, it can prevent that peeling of the film etc. arises according to the popcorn phenomenon of the base 5 by forming the gas drainage hole 10 in the base 5. Moreover, it is hard to produce a void between a film and resin, and hard to become film peeling at the time of a moisture absorption reflow.

[0060] And since the ring (periphery ring) 9 which consists of a metal outside the flip-chip-bonding section of a semiconductor device 12 in the wiring film forming face of the base 5 was pasted up Can use this ring 9 as for example, a grand power source of a power source, and further, although it is utilizable as an electrostatic shield which covers a semiconductor device 14 and the exterior electrostatic It can also use also as a dam which prevents the outward leak of the resin for the closures not only at it but at the time of a resin seal, and the percent defective of a poor resin seal can be lowered.

[0061] And the manufacture approach (the 1st example or 2nd example is not asked.) of the semiconductor device shown in drawing 1 and drawing 2 The metal membrane 3 for an etching stop which consists the wiring film 4 of nickel by plating which uses as a mask the resist film (mask film) 2 alternatively formed in one front face of the metal substrate 1 is formed as a substrate. The base 5 which consists of insulating resin which has the electrode formation hole 8 and the gas drainage hole 10 is formed in the front face by the side of the wiring film of the above-mentioned metal substrate 1. It etches until the metal membrane 3 for an etching stop which consists of nickel which constitutes the above-mentioned substrate at least from a rear-face side exposes the field of the above-mentioned metal substrate 1 in which the wiring film 4 was formed at least. The gold film was exposed by etching of subsequent nickel, or gold plate formation, or a semiconductor device 12 is carried in the part which made the front face produce a gold film, and resin 14 is slushed and hardened right above [PKG external drawer electrode].

[0062] Since according to such a manufacture approach it is possible to form the external electrode 6 by plating after forming the wiring film 4 by plating which uses the metal substrate 1 as a parent on manufacture, and uses the resist film 2 as a mask and forming the electrode formation hole 8 in the base 5 after that, forming the wiring film 4 and the external electrode 6 by electroplating can accomplish easily. It is because it is in the condition that the metal substrate 1 and each wiring film 4 were connected electrically, so potential required for electroplating can be given to the metal substrate 1. And since according to electroplating the good plating film of membranous quality can be obtained rather than it is based on electroless deposition, the good wiring film 4 and the external electrode 6 can be obtained easily. Moreover, so, micrifying of the wiring film 4 and the external electrode 6 and densification of an arrangement consistency can also be attained. And detailed-izing of the wiring film and the number of the wiring film which it can let pass to external inter-electrode one conjointly can be increased, as a result an external electrode array number of stages can be increased. This enables the increment in the number of external electrodes.

[0063] Furthermore, since the reinforcement of a sheet goes up by leaving partially and it is hard coming to deform a metal substrate, the activity at the time of PKG production can carry out simply and quickly. Moreover, in order that the reinforcement of a sheet may go up, it becomes possible to make thickness of the base thin to 5 micrometers, and it becomes possible by using this sheet to build thin PKG.

[0064] In the conventional case, drawing 5 (A) and (B) are shown in [(A) about the arrangement pitch of the external electrode 6.] In the case of this example, it is shown in [(B).] They are the sectional view which compares **, and the top view showing that drawing 5 (C) can increase the wiring film which passes along the external inter-electrode one in the case of this example. In the difficult former (FPC type) of fine patternizing, when spacing between 50 micrometers and the wiring film tends to be set to 50 micrometers and the width of face of the wiring film with which the width of face of the part in which the external electrode of the wiring film is formed passes along 500 micrometers and external inter-electrode one tends to make an external electrode disposition pitch small, the number of the wiring film which it can let pass to external inter-electrode one cannot be made [many]. Since fine patternizing is possible according to this example, as it is shown in drawing 5 (C) to it, even if it makes an external electrode disposition pitch smaller than before, the number of wiring film 4a which it can let pass to external inter-electrode one can be made [many], and a multistage ball array is possible. This contributes to the formation of many electrodes of a semiconductor device, and high integration greatly. 4a shows the wiring film passing through between the external electrodes 6.

[0065] Moreover, since the electrode formation hole 8 was formed from patterning of the base 5 on the metal substrate 1, it also became possible to make into less than [0.22mm or it] the path of the electrode formation hole 8 detailed-izing of the electrode formation hole 5 was possible, and was not conventionally completed into 0.5mm or less by the FPC type, and was not completed in 0.35mm or less by the rigid substrate type. And in connection with attaining detailed-ization of this electrode formation hole 8, the arrangement consistency of the electrode formation hole 8 can also be raised more. Moreover, since patterning of insulating resin can perform the electrode formation hole 8, as compared with the case where punching is carried out for an electrode formation hole [as / in a rigid substrate type] with a drill, processing is not troublesome, and productivity is high.

[0066] And the part which remains can be used as a ring 9 by performing etching so that a metal substrate may remain in the shape of a ring outside until the metal membrane 3 for an etching stop which consists of nickel which constitutes the above-mentioned substrate at

least from a rear-face side exposes the field of the metal substrate 1 in which the wiring film 4 was formed at least. And as the ring 9 was mentioned above, it can use as a grand power supply terminal and an electrostatic shield, but since the ring constitutes the appearance of a semiconductor device and it is formed by etching, process tolerance can be made high. Therefore, the appearance precision of a semiconductor device can be raised.

[0067] Furthermore, since it manufactures by using the metal substrate 1 as a parent, there is no possibility of producing deformation of bending during manufacture. Therefore, it is easy to do an activity. In addition, the periphery ring 9 is cut later depending on the case, and you may make it attain the miniaturization of a semiconductor device. Since resin 16 self has the reinforcement effectiveness after ***** which has the reinforcement effectiveness, the periphery ring 9 cannot be said to be indispensable not necessarily absolutely, but is cut. In such a case, the periphery ring 9 is cut and you may make it attain the miniaturization of a semiconductor device.

[0068] Drawing 6 (A) - (E) and drawing 7 (G), and (I) are the sectional views showing process (A) - (I) for the 3rd example of the manufacture approach of this invention semiconductor device in order. This example is one example which applied this invention to the BGA (ball grid array) type semiconductor device.

[0069] (A) First, as shown in drawing 6 (A), prepare what carried out the laminating of the nickel film (thickness, for example, 2 micrometers) 3 used as the metal membrane for an etching stop for the front face of the sheet metal which consists of thickness, for example, 150-micrometer copper, thru/or a copper alloy as a metal substrate.

[0070] (B) Next, as shown in drawing 6 (B), form alternatively the wiring film (thickness, for example, 25 micrometers) 4 which consists of copper. This alternative formation approach forms the resist film in the front face of the nickel film 3 alternatively, and performs it by plating copper 4 by making the nickel film 3 into a substrate, using it as a mask. There is no place which is different on the 1st and 2nd example and essential target at this point. Alternative formation of the wiring film can be performed by the same approach as the 1st and 2nd example. However, since what consists only of copper thru/or a copper alloy as a metal substrate in the 1st example, and does not have the nickel film in a front face was used Although the approach of forming the nickel film 3 which accomplishes the metal membrane for an etching stop by plating by using the resist film as a mask, and forming the wiring film 4 which consists of copper following it by plating was taken Since the nickel film 3 is already formed in the front face of a metal substrate in the 2nd example, it does not need to form plating for the nickel film 3 here.

[0071] (C) Next, as shown in drawing 6 (C), form alternatively the base 5 which consists of polyimide. The alternative formation approach is good by the same approach as the case of the 1st example. 8 is the gas drainage hole of a minor diameter more fairly [an electrode formation hole and 10] than this electrode formation hole 8.

[0072] (D) Next, as shown in drawing 6 (D), by plating the nickel film 6, make it grow up within the electrode formation hole 8, make it project from the electrode formation hole 8 further, and form the solder film (about thickness, for example, 100 micrometers) 16 in the front face of this the nickel film (thickness, for example, 40-150 micrometers) 6 further.

[0073] (E) Next, as shown in drawing 6 (E), expose the front face of the nickel film 3 by etching alternatively the part which consists of copper of the metal substrate 1. The metal substrate 1 (part which consists of copper thru/or a copper alloy) remains in the shape of a ring in the periphery section, and this alternative etching is performed so that it may accomplish the periphery ring 9. It cannot be overemphasized that the role which prevents etching of the wiring film with which the nickel film 3 consists of copper 4 in this etching,

i.e., a role of a metal membrane for an etching stop, is played.

[0074] (F) As shown in drawing 6 (F) below, etching removes the nickel film 3 which is a metal membrane for an etching stop currently extensively formed in the surface section of the metal substrate 1. Since this nickel film 3 was formed extensively, if it leaves it as it is, since it will short-circuit between the wiring film 4 which consists of copper, etching removes it. In addition, in the case of the 1st example, since there is no possibility of removing between wiring film since the nickel film 3 was formed in the same pattern as the wiring film, therefore it is not necessary to remove, this process does not exist.

[0075] (G) Next, as shown in drawing 7 (G), paste up the anisotropy electric conduction film 11.

(H) Next, as shown in drawing 7 (H), connect electrically to the wiring film 4 (nickel film 3) the semiconductor device 12 which the metal bump 13 attached through the above-mentioned anisotropy electric conduction film 11.

(I) Next, as shown in drawing 7 (I), liquefied resin 14 is slushed and stiffened on a PKG external drawer electrode. The semiconductor device shown in this drawing 7 (I) is the 3rd example of this invention semiconductor device.

[0076] The 3rd example of this invention semiconductor device also enjoys the same effectiveness as the 1st and 2 example of this invention semiconductor device, and the 3rd example of the manufacture approach of this invention semiconductor device also enjoys the same effectiveness as the 2nd and 3rd example of the manufacture approach of this invention semiconductor device.

[0077] In addition, in the 3rd example of the manufacture approach of this invention semiconductor device, the variation of making it being the same as that of the 1st and 2 example may also occur using what does not have the nickel film 3 on a front face as a metal substrate 1. Moreover, the part of the periphery ring 9 is cut later and you may make it attain the miniaturization of a semiconductor device. It is because the reinforcement object 19 can fully achieve the reinforcement function and electrostatic shield function which the periphery ring 9 has.

[0078] Below, the example of each of other ** of the further this invention semiconductor device is explained. drawing 8 (1) - (6) and drawing 9 (1) - (5), drawing 10 (1) - (6) drawing 11 (1) - (6) and drawing 12 (1) - (4) -- respectively -- above-mentioned the 1- of this invention semiconductor device -- it is the sectional view showing the example of each ** other than the 3rd example. The semiconductor device shown in drawing 8 (1) is the simplest example of claim 1. In the drawing, 20 consists of insulating resin, the base which accomplishes the parent of the wiring substrate 27, and 21 are the wiring film formed in one front face of this base 20 in the shape of embedding, for example, consist of copper, and the plating film 22, such as gold, is formed in the front face. This wiring film 21 is embedded so that the front face may be located on the front face of the method of base 20 top Norikazu, and an abbreviation same front face. 23 is the electrode formation hole formed in this base 20, and exposes partially the rear face (front face of another side) of the wiring film 21. And an external electrode is formed here.

[0079] 25 is a semiconductor device and the bump 26 is formed in each of that external drawer electrode. And flip chip bonding of this semiconductor device 25 is carried out to the wiring substrate 27 by connecting each of that bump 26 to the wiring film 21. In addition, a bump 26 may form in the external drawer electrode of a semiconductor device 25 first, and may form in the wiring film 21 side of the wiring substrate 27. Also in future semiconductor devices, it is the same in principle. And electric connection between the external drawer electrode of the semiconductor device 25 through a bump 26 and the wiring substrate 27 is

made by for example, heat pressurization or supersonic vibration. Although the example which takes the electrical installation between a semiconductor device and the wiring film using the anisotropy electric conduction film or anisotropy conductive resin later is explained, when manufacturing this semiconductor device, flip chip bonding of a semiconductor device is performed without using the anisotropy electric conduction film or anisotropy conductive resin.

[0080] In not using the anisotropy electric conduction film or anisotropy conductive resin The bump is formed on the external ejection electrode of a semiconductor device, or the wiring film of a wiring substrate (an approach is formed by the stud bump or plating). In heat pressurization It carries out by carrying out heating pressurization (a semiconductor device being heated at 200-400 degrees C, a substrate side being heated to about ordinary temperature -150 degree C, 10-100gf pressurizing per one bump, and junction being possible by 1 - 10s (second) of numbers). Moreover, in using US (supersonic wave) vibration, pressurization makes the conditions of a heating pressurization supersonic wave the conditions which per [10-100g] one bump and heating call [US power] ordinary temperature -200 degree C for 100ms to 5s, and time amount calls 50mW-50W.

[0081] In addition, when supersonic vibration performs electrical installation, the structure of the wiring substrate 27 which formed the wiring film 21 in the base 20 in the shape of embedding is effective in improvement in connectability in the ease of doing of connection. The oscillating direction of supersonic vibration is the direction of a flat surface of the wiring substrate 27, and it is because moving to a longitudinal direction is strongly restrained by the base 20 since it is embedded at the base 20, consequently supersonic vibration contributes effectively the wiring film 21 which receives the vibration to connection.

[0082] Since according to such a semiconductor device he is trying for one front faces of this base 20 and the wiring film 21 to be located by the wiring film 21 at the base 20 of the wiring substrate 27 at the same flat-surface top, and thickness of the wiring substrate 27 can be made thin and flip chip bonding of the semiconductor device 25 is carried out, a semiconductor device can be thin-shape-sized notably.

[0083] The semiconductor device shown in drawing 8 (2) forms the external electrode 28 in the part exposed to the above-mentioned electrode connection hole 23 of the above-mentioned wiring film 21 of the semiconductor device shown in drawing 8 (1). This semiconductor device is carried in a printed wired board etc. with this external electrode 28.

[0084] This ring 29 is formed in the process manufactured by the same approach as the semiconductor device which the semiconductor device shown in drawing 8 (3) comes to form the ring 29 which consists of a metal, for example, copper, in the periphery of the field by the side of wiring film formation of the base 20 of the semiconductor device shown in drawing 8 (1), and is shown in drawing 1 and drawing 2 . This ring 29 plays a role of a ***** dam for closure resin with reinforcement.

[0085] The semiconductor device shown in drawing 8 (4) forms the external electrode 28 like the semiconductor device of drawing 8 (2) after formation of the semiconductor device shown in drawing 8 (3). The semiconductor device shown in drawing 8 (5) forms a hole 30 in the part in which the wiring film 21 of the base 20 is not formed. This hole 30 plays the same role as the gas drainage hole (10) of the semiconductor device manufactured by the manufacture approach shown in drawing 1 and drawing 2 .

[0086] The semiconductor device shown in drawing 8 (6) can close the bump 26 who comes to close the surroundings of each bump 26 who connects between the semiconductor devices 25 of a semiconductor device and the wiring substrates 27 which are shown in drawing 8 (1) by resin 32, and connects between a semiconductor device 25 and the wiring substrates 27

by this, and can prevent degradation of the part etc., with can aim at improvement in reliability.

[0087] The semiconductor device shown in drawing 9 (1) forms the resin 32 which closes the part between a semiconductor device 25 and the wiring substrate 27 to the semiconductor device shown in drawing 8 (1), and protects semiconductor device 25 front face. In addition, casting is possible for formation of resin 32 by using an undershirt film after flip chip bonding. In that case, the method of slushing also into the part corresponding to other parts with the external drawer electrode of a package first, since resin is slushed and stiffened between a component and a wiring substrate is good. But resin may be supplied between a semiconductor device and a substrate and to the surroundings of it at once. if the manufacture procedure of the semiconductor device show in this drawing 9 (1) be show, the thing in which the bump be formed will be prepare for an external drawer electrode as a semiconductor device 25, and it will become the procedure of carry out flip chip bonding, slush between about 26 bump, or component 25 and a substrate 27 at least, and slush that resin after that by connect the bump 26 of this semiconductor device 25 to the above-mentioned wiring film 21 electrically and mechanically with a supersonic wave or heat heating. In addition, one substrate 27 has the common case where it forms in two or more semiconductor device part one, and in that case, if a predetermined process ends, it will be divided by cutting a substrate by a cut or a laser beam by dicing etc.

[0088] The semiconductor device shown in drawing 9 (2) is resin 32, and does not stop at closing the part between a semiconductor device 25 and the wiring substrate 27, and protecting semiconductor device 25 front face, but it comes to cover it by this resin 32 on the electrode formation hole 23 (part in which an external drawer electrode is formed) of the wiring substrate 27, and a corresponding part. The field which this closes by resin 32 can be increased.

[0089] The semiconductor device shown in drawing 9 (3) is the thing in which the resin 32 which closes the fields by the side of wiring film formation of the wiring substrate 27 including between semiconductor device 25 and the wiring substrate 27 in the field surrounded in the ring 29 to the semiconductor device shown in drawing 8 (3) was formed. While protecting the front face by the side of wiring film formation of the wiring substrate 27 from the semiconductor device shown by drawing 9 (1) and (2) more effectively, it can prevent effectively that **** stop **** resin 32 protrudes resin 32 outside in a ring 29.

[0090] The semiconductor device shown in drawing 9 (4) connects electrically the external drawer electrode of a semiconductor device 25, and the wiring film 21 of the wiring substrate 27 through the anisotropy electric conduction film or anisotropy conductive resin 35. Even if it replaces with supersonic vibration or heat pressurization and uses the anisotropy electric conduction film or anisotropy conductive resin 35, flip chip bonding is made. The semiconductor device shown in drawing 9 (5) adds a ring 29 to the semiconductor device shown in drawing 9 (4), and closes resin 32 further between the semiconductor devices 25 and rings 29 by which flip chip bonding was carried out to the wiring substrate 27 with the anisotropy electric conduction film or anisotropy conductive resin 35.

[0091] The semiconductor device shown in drawing 10 (1) forms the external electrode 8 which becomes the electrode formation hole 23 of the wiring film 21 from copper, has a ring 29, and performs flip chip bonding of a semiconductor device 25 with the anisotropy electric conduction film or anisotropy conductive resin 35. In addition, connection of the semiconductor device the anisotropy electric conduction film distributes an about several micrometers detailed conductive particle in film-like resin, and using such anisotropy electric conduction film First, the anisotropy electric conduction film is stuck on a substrate

side (if it heats at about 50-150 degrees C and they is pressurized at this time, it can stick finely.). In order for a semiconductor device with a bump to carry out alignment (alignment between a bump and the wiring film), to pressurize and heat on this and to stiffen the resin of the anisotropy electric conduction film after that Heating (150-300 degrees C) and pressurization (10-1000g/mm per unit 2) are performed the time of extent for 20 to 60s (second). Since an electric conduction particle can be put between a bump and the wiring film of a substrate at this time, conductivity can be acquired.

[0092] In addition, it may replace with the anisotropy electric conduction film, and anisotropy electric conduction resin may be used. In this case, resin is applied on the substrate, and in order to carry out alignment of that bump and wiring film by the side of a wiring substrate, to put a semiconductor device with a bump on a wiring substrate by flip with pressurization and heating and to stiffen that resin after that on this, heating (150-300 degrees C) and pressurization (10-1000g/mm per unit 2) are performed about [20-60s] time. Since an electric conduction particle can be put between a bump and the wiring film of a substrate at this time, conductivity can be acquired.

[0093] In addition, in the above-mentioned case, not anisotropy electric conduction resin but resin, such as an undershirt film, is sufficient. Between wiring film may be joined with a bump by the supersonic wave after resin spreading, and resin hardening may be carried out after that.

[0094] The semiconductor device shown in drawing 10 (2) has a ring 29, performs flip chip bonding of a semiconductor device 25 with the anisotropy electric conduction film or anisotropy conductive resin 35, and differs from what is shown in drawing 10 (1) only at a point without the external electrode 28.

[0095] The semiconductor device which the semiconductor device shown in drawing 10 (3) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (1), and is shown in drawing 10 (4) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (2).

[0096] The semiconductor device shown in drawing 10 (5) has a ring 29 in the wiring substrate 27, performs flip chip bonding of a semiconductor device 25 using the anisotropy electric conduction film or anisotropy conductive resin 35, and forms the external electrode 28 which becomes the electrode formation hole 23 of the wiring film 21 from copper, and closes the flip-chip-bonding section of the above-mentioned semiconductor device 25 from the surroundings. the bump 26 is formed in the semiconductor device 25, the anisotropy electric conduction film is stuck on the wiring substrate 27 side (or anisotropy conductive resin -- applying), location **** of each bump 26 of every ** and a semiconductor device 25 is carried out at the wiring film 21 of the wiring substrate 27, and, specifically, flip chip bonding is carried out by carrying out heat pressurization of this semiconductor device 25 through the anisotropy electric conduction film at the wiring substrate 27.

[0097] The semiconductor device shown in drawing 10 (6) is the same as the semiconductor device shown in the semiconductor device shown in drawing 10 (5) a difference and in respect of others only at a point without the external electrode 28.

[0098] The semiconductor device which the semiconductor device shown in drawing 11 (1) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (5), and is shown in drawing 11 (2) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (6). The semiconductor device shown in drawing 11 (3) is the same as the semiconductor device shown in drawing 10 (5) a difference and except [its]

only at the point which heat pressurization or supersonic vibration performs flip chip bonding for a semiconductor device 25, and resin 32 is made to exist also between a semiconductor device 25 and a wiring substrate, and is made to carry out the resin seal of the component 25 front face.

[0099] The semiconductor device of the semiconductor device shown in drawing 11 (3) shown in drawing 11 (4) is common only to the point referred to as that the external electrode 26 is not formed a difference and except [its]. The semiconductor device which the semiconductor device shown in drawing 11 (5) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (3), and is shown in drawing 11 (6) forms the minute solder ball electrode 45 in the electrode formation hole 23 of the semiconductor device shown in drawing 10 (4).

[0100] The semiconductor device shown in drawing 12 (1) carries out flip chip bonding of a semiconductor device 25 by connecting the external drawer electrode of a semiconductor device 25 to the wiring film 21 of the wiring substrate 27 through a bump 26. It is what carried out the resin seal of the field where the semiconductor device 25 was surrounded including the part by which flip chip bonding was carried out in the ring 29 of the front face by the side of wiring film formation of the wiring substrate 27. The external drawer electrode 41 formed in the electrode connection hole 23 is formed in the fan-out (place corresponding to the place which swerved outside from the semiconductor device 25).

[0101] It is a wirebonding type as the semiconductor device shown in drawing 12 (1) shown in drawing 14 , and it is the same that it can be easy to make package thickness thin as compared with a CPS package type semiconductor device.

[0102] The semiconductor device shown in drawing 12 (2) is common in the semiconductor device shown in drawing 12 (1) at the other point, although the external drawer electrode 41 formed in the electrode connection hole 23 is different at the point prepared not only in a fan-out but in the fan-in (inside of a semiconductor device 25 and the corresponding field).

[0103] In addition, the semiconductor device shown in this drawing 12 (2) and the semiconductor device shown in drawing 12 (1) are compared with the semiconductor device of the conventional wirebonding type shown in drawing 14 , and soldered joint destruction of the land at the time of mounting of a semiconductor device cannot carry out it easily. Because, when it is made for a land to be located also in a fan-in in the case of the semiconductor device shown in drawing 14 , compared with thermal-expansion change of a mounting substrate, the thermal change of a land is small at the time of a traveler's check trial (since a land is directly under the semiconductor device which consists of silicon, it depends for the thermal change of a land on thermal-expansion change of silicon.). The coefficient of thermal expansion of silicon is small at 1×10^{-5} to about six compared with the coefficient of thermal expansion of a substrate called 2×10^{-5} . It is easy to destroy the soldered joint section of a land.

[0104] Since resin 32 intervenes between the wiring substrate 27 and a semiconductor device 25, it succeeds in stress relaxation with this resin 32, and soldered joint destruction does not produce the semiconductor device (semiconductor device shown in drawing 12 (3) described below and (4)) shown in drawing 12 (1) and (2) to it.

[0105] The semiconductor device shown in drawing 12 (3) is what formed all the electrodes 41 in the fan-in, and has the advantage that package size is made to an abbreviation chip size. The semiconductor device shown in drawing 12 (4) is what formed the piece 42 for laminatings of connection in the pars intermedia of this ring 29 and the semiconductor device 25 loading section, and is good for the side in which the ring 29 of the wiring substrate 27 was formed to plate on the top face of this piece 42. And another semiconductor

device (for example, semiconductor device shown in drawing 12 (4)) is connected through this piece 42 of connection, and it becomes possible to obtain the semiconductor device of a high degree of integration which carried out laminating arrangement for two or more semiconductor devices. It is the mode of connecting the piece 42 of connection of one semiconductor device to the electrode 41 of another semiconductor device, and, specifically, it is possible to carry out the laminating of a large number.

[0106] in addition, as the formation approach of plating for the piece 42 of connection Before etching metal base material into the 1st alternatively, use a mask and it plates alternatively. Then, the approach of forming the mask film and etching this ***** base material alternatively by using this mask film as a mask after an appropriate time, Before etching base material into the 2nd alternatively, the mask film is formed alternatively. The approach of plating the whole with electroless deposition again after substrate completion etc. is in the approach of forming the plating film by using this mask film as a mask, and etching metal base material alternatively by using this plating film as a mask after that, and the 3rd.

[0107] In manufacture of each above-mentioned semiconductor device, two or more semiconductor devices of a part are formed in the wiring substrate of a piece, the approach of dividing into each semiconductor device the cut by dicing and by cutting the connection section between each semiconductor device of a package by a laser beam etc. is taken, and it is easy to raise productive efficiency.

[0108] Each above-mentioned semiconductor device can be used for various electronic equipment, is used for the cellular phone which requires especially a miniaturization, and is greatly contributed to a miniaturization. And since such electronic equipment can manufacture the semiconductor device by the manufacture approach of a semiconductor device with the above-mentioned advantage using a semiconductor device with the above-mentioned advantage, the advantage of the manufacture approach is enjoyable. An example (cellular phone) A of such electronic equipment was shown, the semiconductor device B concerning this invention carried in the mother board B existed in this interior, and drawing 13 has accomplished a part of internal circuitry [at least] of electronic equipment.

[0109]

[Effect of the Invention] Since according to this invention a surface level difference can be lost since the wiring film is formed in one surface section of the base at ***** , and a semiconductor device is carried by the flip chip on this front face, thickness of a semiconductor device can be made thin. And since an electrode formation hole can be formed by exposure of the base, and development, detailed-izing and high accumulation consistency-ization can be attained, as a result high integration of a semiconductor device and multi-electrode number-ization can be attained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-261190
(P2002-261190A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B 5 F 0 4 4
21/60	3 1 1	21/60	3 1 1 Q
		23/12	Q

審査請求 未請求 請求項の数24 O L (全 23 頁)

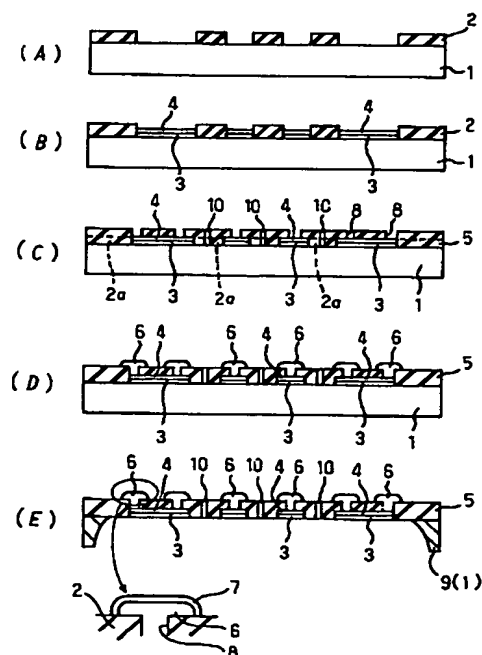
(21) 出願番号	特願2001-54075(P2001-54075)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成13年2月28日 (2001.2.28)	(72) 発明者	小林 寛隆 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(72) 発明者	小山 寿樹 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74) 代理人	100082979 弁理士 尾川 秀昭 Fターム(参考) 5F044 KK03 KK09 LL09 MM03 MM48 NN05 RR18

(54) 【発明の名称】 半導体装置、その製造方法及び電子機器

(57) 【要約】

【課題】 C S P (チップサイズパッケージ) 或いは B G A (ボールグリッドアレイ) タイプの半導体装置の微細ボール電極の搭載を可能にし、電極形成孔の小径化、配線膜のファインパターン化、外形精度の高精度化、製造の容易化を図る。

【解決手段】 絶縁性樹脂からなるベース5の一方の表面部に複数の配線膜4を該膜表面が該ベース表面と同一平面上に位置し少なくとも一部の配線膜が上記ベースの電極形成孔8と重なるように形成し、各電極形成孔8を導電性材料で埋めてその反配線膜側面に突出する外部電極6を形成し、ベース5の上記一方の表面上に半導体素子14をフリップチップ接続する。



【特許請求の範囲】

【請求項 1】 配線膜の一方の表面が絶縁性樹脂の一方の表面と同一平面上に位置するように該絶縁性樹脂の上記一方の表面部に埋め込まれ、該絶縁性樹脂の上記配線膜の少なくとも一部と重なりあう位置に孔が形成された配線基板と、外部引き出し電極の少なくとも一部がバンパを介して上記配線基板の配線膜に接続された半導体素子と、を有することを特徴とする半導体装置。

【請求項 2】 上記絶縁性樹脂の上記孔を形成した部分に、絶縁性樹脂の上記一方の表面と反対側の表面に突出する外部電極を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記絶縁性樹脂の上記配線膜が形成された側の面の外周部に金属からなるリングが接着されたことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 上記絶縁性樹脂に一方の表面から他方の表面に至る貫通孔を形成したことを特徴とする請求項 1、2 又は 3 記載の半導体装置。

【請求項 5】 上記半導体素子の少なくとも上記バンパ近傍を樹脂で封止したことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 6】 上記半導体素子と上記配線基板との間の部分を樹脂で封止したことを特徴とする請求項 1、2、3、4 又は 5 記載の半導体装置。

【請求項 7】 上記配線基板の上記配線膜形成側の外部電極対応部分上をも樹脂で封止したことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 上記絶縁性樹脂の上記配線膜が形成された側の面の外周部に金属からなるリングが接着され、上記リングと、上記半導体素子との間の部分が樹脂で埋められてなることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 上記半導体素子の外部引き出し電極と上記配線基板の配線膜との間のバンパを介しての電気的な接続が、異方性導電膜又は異方性導電樹脂を介して為されてなることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の半導体装置。

【請求項 10】 上記半導体素子の外部引き出し電極と上記配線基板の配線膜との間のバンパを介しての電気的な接続が、超音波を用いての接続により為されてなることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の半導体装置。

【請求項 11】 上記半導体素子の外部引き出し電極と上記配線基板の配線膜との間のバンパを介しての電気的な接続が、熱加圧を用いての接続により為されてなることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の半導体装置。

【請求項 12】 上記半導体素子の外部引き出し電極と上記配線基板の配線膜との間のバンパを介しての電気

的な接続が、半田を介して為されてなることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の半導体装置。

【請求項 13】 上記半導体素子の外部引き出し電極の上記配線基板の配線膜との間のバンパを介しての電気的な接続が、導電樹脂を介して為されてなることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載の半導体装置。

【請求項 14】 複数の半導体素子が搭載可能に形成された配線基板と、それに搭載され、外部引き出し電極にバンパが形成された複数の半導体素子を用意し、上記各半導体素子の上記バンパと上記配線基板の配線膜との間を超音波若しくは熱加圧により接続し、上記バンパ近傍に樹脂を流し込んでそこを封止し、その後、上記配線基板を分割して複数の半導体装置を得ることを特徴とする半導体装置の製造方法。

【請求項 15】 配線基板と、それに搭載され、外部引き出し電極にバンパが形成された複数の半導体素子を用意し、

上記配線基板の配線膜形成面に異方性導電膜を貼り付け、

上記配線基板の上記異方性導電膜上に半導体素子を載せ、

熱加熱により上記半導体素子のバンパと上記配線膜との間を電気的に接続し、上記半導体素子周辺部に樹脂を注入して封止することを特徴とする半導体装置の製造方法。

【請求項 16】 配線膜の一方の表面が絶縁性樹脂の一方の表面と同一平面上に位置するように該絶縁性樹脂の上記一方の表面部に埋め込まれ、該絶縁性樹脂の上記配線膜の少なくとも一部と重なりあう位置に孔が形成され、該絶縁性樹脂の上記表面の半導体素子搭載領域の外側に積層用接続片が形成され、該絶縁性樹脂の他方の表面の上記孔に上記配線膜と電気的に接続された外部電極が形成された配線基板と、

外部引き出し電極の少なくとも一部がバンパを介して上記配線基板の外部電極に接続されて上記半導体素子搭載領域に搭載された半導体素子と、を有することを特徴とする半導体装置。

【請求項 17】 絶縁性樹脂からなり電極形成孔を有するベースの一方の表面部に複数の配線膜を該膜表面が上記ベース表面と同一平面上に位置し少なくとも一部の配線膜が上記電極形成孔と重なるように形成され、上記各電極形成孔が導電性材料で埋められその反配線膜側面に突出する外部電極が形成され、上記ベースの上記一方の表面上に絶縁材料膜を介して半導体素子がこの裏面に接着され、上記半導体素子の各電極と、それに対応する各配線膜とがフリップチップ接続されたことを特徴とする半導体装置。

【請求項18】 ベースの配線膜形成面において上記半導体素子のフリップチップ接続部よりも外側に金属からなるリングが接着されてなることを特徴とする請求項17記載の半導体装置。

【請求項19】 チップサイズパッケージにより半導体装置を封止したCSP構造を有することを特徴とする請求項17又は18記載の半導体装置

【請求項20】 ボールグリッドアレイタイプのパッケージにより半導体装置を封止したBGA構造を有することを特徴とする請求項17又は18記載の半導体装置。

【請求項21】 ベースにガス抜き孔が形成されてなることを特徴とする請求項17、18、19又は20記載の半導体装置

【請求項22】 金属基板の一方の表面に選択的に形成したマスク膜をマスクとするメッキにより配線膜をエッチングストップ用金属膜を下地として形成する工程と、上記金属基板の上記配線膜が形成された側の表面に、上記配線膜のうちの少なくとも一部の配線膜を部分的に露出させる電極形成孔を有するところの絶縁性樹脂からなるベースを形成する工程と、上記金属基板の少なくとも配線膜が形成された領域を裏面側から少なくとも上記下地を成すエッチングストップ用金属膜が露出するまでエッチングする工程と、半導体素子の外部引き出し電極の少なくとも一部をバンパを介して上記配線基板の配線膜に電気的に接続させる工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項23】 金属基板としてその表面にエッチングストップ用金属膜を積層したものを用い、エッチングストップ用金属膜を下地とする配線膜の形成は該エッチングストップ用金属膜上にマスク膜を選択的に形成した後該マスク膜をマスクとしてメッキにより行うこととし、上記金属基板の少なくとも配線膜が形成された領域の裏面側からの上記エッチングストップ用金属膜を露出させるエッチング工程が終了した後、該エッチングストップ用金属膜を除去する工程を有することを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】 請求項1～13、16～21に記載の半導体装置の少なくともいずれか一つを内蔵したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、その製造方法及び電子機器に関する。

【0002】

【従来の技術】最近半導体素子の多電極化に対応するためのCPS（チップサイズパッケージ）は従前においては、半導体素子をペレットボンディングし、半導体素子

と配線基板側の配線とをワイヤボンディングにより行うタイプのものが多かった。図14はそのようなワイヤボンディングタイプの半導体装置の一例を示す断面図である。同図において、aはポリイミド樹脂からなるベース、bは配線膜、cは電極形成孔、dは該電極形成孔cに形成された半田からなる微小ボール電極、lは例えば銀ペースト膜で、ベースaの表面に該銀ペースト膜lを介して半導体素子fがボンディングされている。iは樹脂補強と樹脂堰き止め用のリング、mは半導体素子fの電極と、配線膜bとの間を電気的に接続するワイヤ、nはボッティングにより供給された封止樹脂である。

【0003】しかし、最近では、半導体素子をフリップチップ接続を行ったタイプのCSP（チップサイズパッケージ）も現れている。図15はそのようなフリップチップ接続タイプであってFPC（フレキシブルプリント配線基板）を用いたCPSの従来例の一つを示す断面図である。同図において、aはポリイミド樹脂からなるベース、bは該ベースaの表面に形成された例えば銅からなる配線膜、cは該ベースaに形成された電極形成孔、dは該電極形成孔cに形成された半田からなる微小ボール電極、eはベースa表面に半導体素子fを接着しながら上記配線膜bと該半導体素子fの外部引き出し電極を該電極表面の金属バンパgを介して接続する異方性導電膜、iはフィルム補強リングで、例えば銅或いはニッケルからなる。jは該フィルム補強リングiをフィルムaに接着する接着剤である。kは上記配線膜bの表面に被着された例えば金からなるメッキ膜である。

【0004】

【発明が解決しようとする課題】ところで、図14に示すタイプのCPSには、半導体素子fをその電極を上向きにしてベースaに搭載し、その電極とベースaの配線膜bとの間をワイヤmにより接続するので、ワイヤmの撓み部分が半導体素子fの上面よりも上に位置する関係上、樹脂封止厚さを薄くすることが難しく、延いては、パッケージ厚さを薄くすることが難しいという問題があった。

【0005】それに対して、図15に示すタイプのCSPは、ワイヤmを用いないので、そのような問題がない。しかしながら、半導体装置の高集積化、小型化に対する要求は止まるところがなく、更なるパッケージの小型化、薄型化の要求に応えることが難しいという問題があった。というのは、図15に示すタイプのパッケージのフィルムには、配線膜bが樹脂からなるベースaの表面上に形成され、ベースaの表面より配線膜b表面の高さが配線膜bの厚さ分高くなるので、より薄型化するという要請には応えにくいからである。更に、フィルム表面に配線膜が凸形に形成されるため配線膜と配線膜との間に樹脂が入りにくく、ボイドとなり易い。このボイドは吸湿リフロー時ボイドにたまった水分が爆発してフィルム上配線膜と分布の接続が剥がされる問題も発生して

いる。

【0006】本発明はこのような問題点を解決すべく為されたものであり、チップの搭載のタイプがフリップチップタイプであって、CSP或いはBGAタイプの半導体装置の製造の容易化、低コスト化、パッケージ厚さの薄型化、高信頼度化を図ることを目的とする。

【0007】

【課題を解決するための手段】請求項1の半導体装置は、配線膜の一方の表面が絶縁性樹脂の一方の表面と同一平面上に位置するように該絶縁性樹脂の上記一方の表面部に埋め込まれ、該絶縁性樹脂の上記配線膜の少なくとも一部と重なりあう位置に孔が形成された配線基板と、外部引き出し電極の少なくとも一部がバンプを介して上記配線基板の配線膜に接続された半導体素子と、を有することを特徴とする。

【0008】従って、請求項1の半導体装置によれば、ベースの一方の表面部に配線膜を埋込状に形成するので、表面の段差をなくすことができ、更に、斯かるベース表面上に半導体素子をフリップチップにより搭載するので、半導体装置の厚さを薄くすることができる。そして、電極形成孔はベースの露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極数化を図ることができる。

【0009】請求項14の半導体装置の製造方法は、複数の半導体素子が搭載可能に形成された配線基板と、それに搭載され、外部引き出し電極にバンプが形成された複数の半導体素子を用意し、該各半導体素子の上記バンプと上記配線基板の配線膜との間を超音波若しくは熱加圧により接続し、上記バンプ近傍に樹脂を流し込んでそれを封止し、その後、上記配線基板を分割して複数の半導体装置を得ることを特徴とする。

【0010】従って、請求項14の半導体装置の製造方法によれば、超音波若しくは熱加圧により配線基板に半導体素子をフリップチップ接続し、樹脂で封止し、その後、分割することにより、薄型化した複数の半導体装置を同時に得ることができる。

【0011】請求項15の半導体装置の製造方法は、配線基板と、それに搭載され、外部引き出し電極にバンプが形成された複数の半導体素子を用意し、上記配線基板の配線膜形成面に異方性導電膜を貼り付け、上記配線基板の上記異方性導電膜上に半導体素子を載せ、熱加熱により上記半導体素子のバンプと上記配線膜との間を電氣的に接続し、上記半導体素子周辺部に樹脂を注入して封止することを特徴とする。

【0012】従って、請求項15の半導体装置の製造方法によれば、異方性導電膜を利用して配線基板に半導体素子をフリップチップ接続し、樹脂で封止することにより、薄型化した半導体装置を得ることができる。また、基板がフラットのためボイドが生じにくく、吸湿リフロ

一時断線しにくい。

【0013】請求項16の半導体装置は、絶縁性樹脂からなるベースの一方の表面部に複数の配線膜を該膜表面が該ベース表面と略同一平面上に位置し少なくとも一部の配線膜が上記ベースの電極形成孔と重なるように形成し、該各電極形成孔を導電性材料で埋めてその反配線膜側面に突出する外部電極を形成し、上記ベースの上記一方の表面上に半導体素子をフリップチップボンディングしたことを特徴とする。

10 【0014】従って、請求項16の半導体装置によれば、ベースの一方の表面部に配線膜を埋込状に形成するので、表面の段差をなくすことができ、斯かる表面上に半導体素子を搭載するので、半導体素子の搭載が容易となり、半導体装置の信頼性を高めることができる。そして、電極形成孔はベースの露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極数化を図ることができる。

20 【0015】そして、ベースの配線膜形成面において半導体素子のフリップチップ接続部よりも外側に金属からなるリングを接着することとした場合には、このリングを電源の例えばグラウンド電源として用いることができ、更には、半導体素子と外部とを静電的に遮蔽する静電シールドとして活用できるが、そのみならず、樹脂封止時に封止用樹脂の外側への漏れを防止するダムとしても用いることもできる。

30 【0016】請求項17の半導体装置は、電極形成孔を有するベースの一方の表面部に複数の配線膜を該膜表面が上記ベース表面と同一平面上に位置し少なくとも一部の配線膜が上記電極形成孔と重なるように形成され、該各電極形成孔が導電性材料で埋められその反配線膜側面に突出する外部電極が形成され、上記ベースの上記一方の表面上に絶縁材料膜を介して半導体素子がこの裏面にて接着され、上記半導体素子の各電極と、それに対応する各配線膜とがフリップチップ接続されたことを特徴とする。

40 【0017】従って、請求項17の半導体装置によれば、ベースの一方の表面部に配線膜を埋込状に形成するので、表面の段差をなくすことができ、斯かる表面上に半導体素子を搭載するので、半導体素子のフリップチップ接続が容易となり、半導体装置の信頼性を高めることができる。そして、電極形成孔はベースの露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極数化を図ることができる。

50 【0018】請求項22の半導体装置の製造方法は、金属基板の一方の表面に選択的に形成したマスク膜をマスクとするメッキにより配線膜をエッチングストップ用金属膜を下地として形成する工程と、上記金属基板の配線膜側の表面に、電極形成孔を有するところの絶縁性樹脂

からなるベースを形成する工程と、上記金属基板の少なくとも配線膜が形成された領域を裏面側から少なくとも上記下地を成すエッチングストップ用金属膜が露出するまでエッチングする工程と、を少なくとも有することを特徴とする。

【0019】従って、請求項22の半導体装置の製造方法によれば、金属基板をベースとして用いてマスク膜をマスクとするメッキにより配線膜を形成し、その後、絶縁性樹脂からなる電極形成孔を形成してからメッキにより外部電極を形成することが可能なので、配線膜、外部電極を電気メッキにより形成することを容易に為し得る。なぜならば、金属基板と各配線膜とが電氣的に接続された状態にあるので、その金属基板の全面に電気メッキに必要な電位を与えることができるからである。そして、電気メッキによれば、無電解メッキによるよりも膜質の良好なメッキ膜を得ることができるので、良好な配線膜、外部電極を簡単に得ることができる。また、それ故、配線膜、外部電極の微小化、配設密度の高密度化を図ることもできる。そして、配線膜の微細化と相俟って外部電極間に通すことのできる配線膜の数を増すことができ、延いては外部電極配列段数を増すことができる。これは外部電極数の増加を可能にすることができる。

【0020】また、金属基板上の絶縁性樹脂のパターニングより電極形成孔を形成することができるので、電極形成孔の微細化が可能であり、従来、FPCタイプでは0.5mm以下に、リジット基板タイプでは0.35mm以下にできなかった電極形成孔の径を0.22mm或いはそれ以下にすることも可能になった。そして、斯かる電極形成孔の微細化を図ることに伴って電極形成孔の配設密度もより高めることができる。電極形成孔を絶縁性樹脂のパターニングにより行うことができるので、リジット基板タイプにおけるような電極形成孔をドリルで穴あけをする場合に比較して加工が面倒でなく、生産性が高い。

【0021】そして、金属基板の少なくとも配線膜が形成された領域を裏面側から少なくとも上記下地を成すエッチングストップ用金属膜が露出するまでのエッチングを、外側に金属基板がリング状に残存するように行うことによりその残存する部分をリングとして用いるようにできる。そして、そのリングを上述したようにグランド電源端子、静電シールドとして用いることができるが、そのリングは半導体装置の外形を成し、それはエッチングにより形成するので、加工精度を高くすることができる。従って、半導体装置の外形精度を高めることができる。

【0022】更に、金属基板を母体として製造するので、製造中に捻む等の変形を生じるおそれがない。従って、半導体装置が大型になっても作業がやりやすい。従って、半導体装置の大型化を容易にすることができる。

【0023】請求項24の半導体装置は、請求項1～1

3、16～21に記載の半導体装置の少なくともいずれか一つを内蔵したことを特徴とする。

【0024】従って、請求項24の電子機器によれば、上記利点を有した半導体装置を用いるので、その利点を享受することができる。

【0025】

【発明の実施の形態】本発明半導体装置の一つの実勢の形態は、絶縁性樹脂からなるベースの一方の表面部に複数の配線膜を該膜表面が該ベース表面と略同一平面上に位置し少なくとも一部の配線膜が上記電極形成孔と重なるように形成し、該各電極形成孔を導電性材料で埋めその反配線膜側面に外部電極を形成し、また、半導体素子の外部電極上にバンパを形成し、このバンパとベース上の配線膜を加熱加圧若しくは超音波振動を印加しながら加圧若しくは超音波振動を印加しながら加熱加圧することにより電氣的に接続し、更に、ベース・半導体素子間に樹脂を流し込み、加熱硬化させ、更に分割することによりパッケージを得るというものである。

【0026】また、本発明半導体装置の別の実施の形態は、ベースの一方の表面部に複数の配線膜を該膜表面が該ベース表面と略同一平面上に位置し、少なくとも一部の配線膜が上記電極形成孔と重なるように形成し、該各電極形成孔を導電性材料で埋めその反配線膜側面に外部電極を形成し、また、半導体素子の外部引き出し電極上にバンパを形成し、このバンパとベース上の配線膜を導電粒子を介して電氣的に接続し、更に、パッケージの外部引き出し電極直上に樹脂を流し込み、加熱硬化させ、更に分割することによりパッケージを得るというものである。

【0027】そして、斯かるパッケージに半導体素子を搭載した半導体装置は、金属基板の一方の表面に選択的に形成したマスク膜をマスクとするメッキにより配線膜をエッチングストップ用金属膜を下地として形成する工程と、上記金属基板の配線膜側の表面に、電極形成孔を有するところの絶縁性樹脂からなるベースを形成する工程と、上記金属基板の少なくとも配線膜が形成された領域を裏面側から少なくとも上記下地を成すエッチングストップ用金属膜が露出するまでエッチングする工程を有する方法で製造することができる。

【0028】上記金属基板は製造上における母材になるものであり、後で外周リングになる場合もあるが、重要なことの一つは配線膜、外部電極のメッキによる形成に際しての母体になり、更にメッキ電流の経路になり得ることであり、導電性の高い例えば銅ないし銅系の材料であることが好ましい。これらは極めて高い剛性を有し、薄くても撓まないもので作業性が良いという利点もある。銅ないし銅系材料を用いた場合、厚さは例えば30～150μmが好適である。

【0029】また、配線膜を形成するメッキに際してマスクとするマスク膜にはアクリル系の感光性剥離タイプ

のレジストを用いることができ、この場合、露光、現像によりバターンニングしてマスク膜を形成し、それをマスクとして配線膜を形成することは言うまでもないが、そのメッキ処理後、そのマスク膜を剥離することとなる。また、エポキシアクリル系の感光性永久レジスト膜（厚さ例えば40 μm ）を用いても良い。この場合も、当然に露光、感光によりバターンニングした後これをマスクとして用いてメッキすることにより配線膜を形成するが、しかし、その後はレジスト膜を除去せず、永久的に存在させたままにする。この場合には、配線膜の表面をベースの表面と略完全に同一平面上に位置するようにすることができる、即ち、表面の平滑化を図ることができる。これは後でニッケルによる電極を形成するときにその下地に段差がないので段差による変形が生じにくいと言う利点をもたらす。勿論、材料等は上述したものに限定されるものではなく、例えば銅等からなる金属による配線膜を形成するに際してマスクとなりうるものであればここで述べたものには限定されない。

【0030】ベースとしては、例えばポリアミック酸系のポリイミドフィルムに感光層を有したフィルムをラミネートしたもの（厚さ例えば12～25 μm ）を用いることができる。そして、そのバターンニングは、先ずその感光層を露光し、現像した後ポリアミック酸系のポリイミドフィルムを例えばアルカリ液等のエッチング液でエッチングすることにより為すことができる。その際、ポリアミック酸系のポリイミドフィルムは280℃30分程度の熱処理で充分に硬化する。そのマスクとするレジスト膜の厚さは例えば25 μm 程度である。勿論、マスクとする膜全体を感光性の樹脂で形成し、その露光及び感光によりバターンニングして電極形成孔を形成するようにすることも可能である。勿論、これらはそれぞれ飽くまで一つの例であり、様々なバリエーションがあり得る。

【0031】配線膜は例えば銅によりメッキで形成するのが好適であるが、その場合、ニッケルを下地とするのが好ましい。というのは、配線膜は例えば銅からなる金属基板上にメッキすることにより形成できるが、銅の上に直接メッキしても緻密な膜質の銅配線膜が成長しにくいのと、後でその金属基板をエッチングして配線膜を露出させる場合、そのエッチングから銅配線膜を保護するエッチングストップが必要であり、それにはニッケルが最適だからである。該ニッケル膜の厚さは例えば2 μm 程度あれば良い。配線膜を成す銅は例えば10～25 μm 程度が好適であるが、半導体装置の仕様、性能等により当然に異なり得る。

【0032】電極形成孔のあるベースの形成後に外部電極が形成されるが、その外部電極は例えばニッケルを例えば1～150 μm 程度メッキすることにより形成することができる。尚、ニッケルメッキを例えば100 μm 程度行うこととし、その後、はんだを例えば100 μm

程度メッキし、その後、整形用リフローをすることによっても形成することができる。このように、外部電極の形成にも種々のバリエーションがあり得る。

【0033】上記金属基板はその裏面からエッチングされるが、そのエッチングは、上述した配線膜を露出させるために不可欠のものであるが、全面的に行っても良いし、選択的に行っても良い。選択的に行う場合には、配線膜が形成された領域をエッチングし、金属基板が外周リングとして残存するようにすると良い。なぜならば、外周リングを補強手段、電源のグランド電極及び静電シールド手段として、更には、樹脂封止の際の樹脂流れを阻むダムとして活用できる（CSPの場合）からであり、従って、全面的エッチングよりも選択的エッチングの方が良いと言える。斯かるエッチングは例えばアルカリエッチャント（アンモニア系）により行うことができる。というのは、このエッチャントによれば、銅はエッチングできるが、ニッケルはエッチングできず、上記ニッケルをエッチングストップとして機能させることができるからである。勿論、これも飽くまで実施の形態の一例に過ぎない。

【0034】外部電極は例えばニッケルを用い、半田を形成しない場合においてはニッケルメッキ膜表面を金でメッキすることが接続性の面から好ましい。尚、元来、金メッキにはニッケルからなる下地のあることが好ましいが、このケースではもともと外部電極本体がニッケルであり、また、エッチングストップ用金属膜もニッケルなので金メッキをするために特別にニッケル下地を形成する必要はなく、良好なメッキができると言える。勿論、外部電極をニッケル及び半田のメッキ膜により形成するという態様でも本発明を実施することができ得るし、それ以外の実施形態も採り得る。

【0035】本発明はCPSタイプの半導体装置は勿論のこと、BGAタイプの半導体装置にも適用することができる。本発明半導体装置は、各種電子機器に用いることができ、特に携帯電話等小型化が強く要求される電子機器に用いられてその小型化、信頼性の向上に寄与することができる。

【0036】

【実施例】以下、本発明を図示実施の形態に従って詳細に説明する。図1（A）乃至（E）は本発明半導体装置の製造方法の第1の実施例の工程（A）～（E）を、図2（F）乃至（I）は同じく工程（F）～（I）を順に示す断面図である。本実施例は本発明をCSPタイプの半導体装置に適用した一つの実施例である。

【0037】（A）先ず、図1（A）に示すように、厚さ例えば50～250 μm の銅乃至銅合金からなる金属基板1を用意し、レジスト膜（マスク膜、厚さ例えば30乃至60 μm ）2を選択的に形成する。この形成は前述の通り、例えばアクリル系の感光性剥離タイプ或いはエポキシアクリル系の感光性永久レジスト膜のレジスト

を用い、露光、現像によりパターンニングしてマスク膜2とする。

【0038】(B)次に、図1(B)に示すように、上記レジスト膜2をマスクとして金属基板1の表面上にニッケル/金/ニッケル膜(厚さは膜各々が0.1~5 μ m程度)3及び銅からなる配線膜(厚さ1~30 μ m程度)4を形成する。この銅からなる配線膜4をニッケル/金/ニッケル膜3を下地として形成するのは、後で金属基板1を裏面側からエッチングして配線を露出させるときに銅からなる配線膜4のエッチングをニッケル膜3により阻むためである。即ち、該ニッケル膜3はエッチングストップ用金属膜を成す。尚、金属基板として表面にニッケル膜3を全面的に形成したものを用い、エッチングストップ用金属膜としての役割を果たした後配線膜4間のショート回避のために該ニッケル膜3を全面的にエッチングするようにしても良い。これは後で述べる第2の実施例において採用されているが、本実施例においても採用しても良い。

【0039】(C)次に、上記レジスト膜2が例えばアクリル系の感光性剥離タイプのものである場合にはそれを除去する。また、例えばエポキシアクリル系の感光性永久レジストの場合には除去しないでそのまま残存させる。そして、例えばポリイミド樹脂からなるベース(厚さ例えば25 μ m)5を形成し、各所定位置に電極形成孔8及びそれより小径のガス抜き孔10を有するようにパターンニングする。図1(C)はそのパターンニング後の状態を示す。ガス抜き孔10はベース5の下部に生じたガスを逃すことにより、熱処理により膨張してベース5を剥がすのを未然に防止する役割を果たす。

【0040】尚、ベース5は、より具体的には、例えばポリアミック酸系のポリイミドフィルムに感光層を有したフィルムをラミネートしたものをを用いることができる。そして、そのパターンニングは、先ずその感光層を露光し、現像した後にポリアミック酸系のポリイミドフィルムを例えばアルカリ液等のエッチング液でエッチングすることにより為すことができる。その際、ポリアミック酸系のポリイミドフィルムは280℃30分程度の熱処理で十分に硬化する。勿論、マスクとする膜全体を感光性の樹脂で形成し、その露光及び感光によりパターンニングして電極形成孔を形成するようにすることも可能である。勿論、これらはそれぞれ飽くまで一つの例であり、様々なバリエーションがあり得る。

【0041】図3(A)、(B)はレジスト膜2として剥離体のものを用いた場合[(A)に示す。]と、永久レジストタイプのものを用いた場合[(B)に示す。]のベース5形成後における状態を比較して示す拡大断面図である。そして、2aは永久レジストタイプのものを用いた場合のレジスト膜2の残存部である。この永久レジストタイプのものを用いた場合には、配線膜の表面をベースの表面と略完全に同一平面上に位置するようにす

ることができる、即ち、表面の平滑化を図ることができる。これは後でニッケルによる電極を形成するときとその下地に段差がないので電極6に段差による変形が生じにくいと言う利点をもたらす。

【0042】(D)次に、電気メッキにより図1(D)に示すように、ニッケル膜6を各電極形成孔8にて成長させて稍ボール状の電極と成す。メッキする厚さは例えば1~150 μ m程度にする。更に、この後メッキで金膜の形成を行う。

【0043】(E)次に、金属基板1をその裏面側から各半導体装置毎に周縁部に外周リング9として残存するように選択的にエッチングすることにより、外周リング9を形成すると共に、配線膜4をニッケル膜3を介して露出させる。このエッチングはアルカリエッチャント(アンモニア系)を用いて行う。その際、ニッケル膜3は銅からなる配線膜4のエッチングを阻む。その後、ニッケル膜をエッチングして金膜を露出させる。尚、便宜上、図1(E)本体及び図2には金膜7を図示しなかったが、図1の下部に外部電極6を拡大して示し、それには金膜7を示した。

【0044】(F)次に、図2(F)に示すように、ベース5の配線膜形成側の面に導電粒子を分散させた接着テープからなる異方性導電膜(厚さ例えば50 μ m)11を接着する。

【0045】(G)次に、半導体素子12をフリップチップ接続する。具体的には、該半導体素子12の外部引き出し電極上にメッキ若しくはワイヤボンダ技術を用いてスタッドバンプ13を形成しておき、この半導体素子12のバンプ13と上記ベース5の配線膜4が合うようにフリップチップ接続を行い、その後、半導体素子12を加熱加圧することにより異方性導電膜を硬化させて該半導体素子12の外部引き出し電極とベース5の配線膜4を電気的に接続する。図2(G)はそのフリップチップ接続後の状態を示す。

【0046】尚、半導体素子へのバンプ13の形成は通常のスタッドバンプボンダーを用いて為すことができる。その場合の一つの良好な条件例を示すと、温度:100~250℃、荷重:10~70gf、US時間:5~50ms、US(超音波)パワー:1~500mwである。バンプはメッキで形成しても良い。また、バンプを半導体素子側ではなく、ベース5の配線膜4側に形成するようにしても良い。配線膜4へのバンプを形成は、通常のワイヤボンダにスタッドバンプ形成ソフトを導入することにより為し得る。

【0047】(H)次に、図2(H)に示すように、パッケージ(PKG)外部引き出し電極直上に樹脂を流し込み硬化させる。14は液状樹脂である。このとき、上記外周リング9は樹脂14が外側に流れ出るのを阻むダムとしての役割を果たす。

(I)図2(I)に示す半導体装置が本発明半導体装置

の第1の実施例である。

【0048】次に、同じ図(図1、図2)を参照して本発明半導体装置の製造方法の第2の実施例を説明する。

(A) 先ず、図1(A)に示すように、厚さ例えば50～250 μ mの銅乃至銅合金からなる金属基板1を用意し、レジスト膜(マスク膜、厚さ例えば30～60 μ m)2を選択的に形成する。この形成は前述の通り、例えばアクリル系の感光性剥離タイプ或いはエポキシアクリル系の感光性永久レジスト膜のレジストを用い、露光、現像によりパターンニングしてマスク膜2とする。

【0049】(B) 次に、図1(B)に示すように、上記レジスト膜2をマスクとして金属基板1の表面上にニッケル/金/ニッケル膜(厚さ各々0.1～5 μ m程度、具体的には例えば2.5 μ m)3及び銅からなる配線膜(厚さ1～30 μ m程度)4を形成する。この銅からなる配線膜4をニッケル/金/ニッケル膜3を下地として形成するのは、後で金属基板1を裏面側からエッチングして配線を露出させるときに銅からなる配線膜4のエッチングをニッケル膜3により阻むためである。即ち、該ニッケル膜3はエッチングストップ用金属膜を成す。尚、金属基板として表面にニッケル膜3を全面的に形成したものを用い、エッチングストップ用金属膜としての役割を果たした後配線膜4間のショート回避するために該ニッケル膜3を全面的にエッチングするようにしても良い。これは後で述べる第3の実施例において採用されているが、本実施例においても採用しても良い。

【0050】(C) 次に、上記レジスト膜2が例えばアクリル系の感光性剥離タイプのものである場合にはそれを除去する。また、例えばエポキシアクリル系の感光性永久レジストの場合には除去しないでそのまま残存させる。そして、例えばポリイミド樹脂からなるベース(厚さ例えば25 μ m)5を形成し、各所定位置に電極形成孔8及びそれより小径のガス抜き孔10を有するようにパターンニングする。図1(C)はそのパターンニング後の状態を示す。ガス抜き孔10はベース5の下部に生じたガスを逃すことにより、熱処理により膨張してベース5を剥がすのを未然に防止する役割を果たす。

【0051】尚、ベース5は、より具体的には、例えばポリアミク酸系のポリイミドフィルムに感光層を有したフィルムをラミネートしたものをを用いることができる。そして、そのパターンニングは、先ずその感光層を露光し、現像した後にポリアミク酸系のポリイミドフィルムを例えばアルカリ液等のエッチング液でエッチングすることにより為すことができる。その際、ポリアミク酸系のポリイミドフィルムは280℃30分程度の熱処理で十分に硬化する。勿論、マスクとする膜全体を感光性の樹脂で形成し、その露光及び感光によりパターンニングして電極形成孔を形成するようにすることも可能である。勿論、これらはそれぞれ飽くまで一つの例であり、様々なバリエーションがあり得る。

【0052】図3(A)、(B)はレジスト膜2として剥離体のものを用いた場合[(A)に示す。]と、永久レジストタイプのものを用いた場合[(B)に示す。]のベース5形成後における状態を比較して示す拡大断面図である。そして、2aは永久レジストタイプのものを用いた場合のレジスト膜2の残存部である。この永久レジストタイプのものを用いた場合には、配線膜の表面をベースの表面と略完全に同一平面上に位置させることができる、即ち、表面の平滑化を図ることができる。これは後でニッケルによる電極を形成するときとその下地に段差がないので電極6に段差による変形が生じにくいと言う利点をもたらす。

【0053】(D) 次に、電気メッキにより図1(D)に示すように、ニッケル膜6を各電極形成孔8にて成長させて稍ボール状の電極と成す。メッキする厚さは例えば1～150 μ m程度にする。更に、この後メッキで金メッキを行う。

【0054】(E) 次に、金属基板1をその裏面側から各半導体装置毎に周縁部に外周リング9として残存するように選択的にエッチングすることにより、外周リング9を形成すると共に、配線膜4をニッケル膜3を介して露出させる。このエッチングはアルカリエッチャント(アンモニア系)を用いて行う。その際、ニッケル膜3は銅からなる配線膜4のエッチングを阻む。その後、ニッケルをエッチングして金膜を露出させる。尚、便宜上図1(E)本体及び図2には金膜7を図示しなかったが、図1の下部に外部電極6を拡大して示し、それには金膜7を示した。

【0055】(F) 次に、図2(F)に示すように、ベース5の配線膜形成側の面に導電粒子を分散させた接着テープからなる異方性導電膜(厚さ例えば50 μ m)11を接着する。

【0056】(G) 次に、半導体素子12をフリップチップ接続する。具体的には、該半導体素子12の外部引き出し電極上にメッキ若しくはワイヤボンディング技術を用いてスタッドバンプ13を形成しておき、この半導体素子12のバンプ13と上記ベース5の配線膜4が合うようにフリップチップ接続を行い、その後、半導体素子12を加熱加圧することにより異方性導電膜を硬化させて該半導体素子12の外部引き出し電極とベース5の配線膜4を電氣的に接続する。図2(G)はそのフリップチップ接続後の状態を示す。

【0057】尚、半導体素子へのバンプ13の形成は通常のスタッドバンプボンダーを用いて為すことができる。その場合の一つの良好な条件例を示すと、温度：100～250℃、荷重：10～70gf、US時間：5～50ms、US(超音波)パワー：1～500mwである。バンプはメッキで形成しても良い。また、バンプを半導体素子側ではなく、ベース5の配線膜4側に形成するようにしても良い。配線膜4へのバンプを形成は、

通常のワイヤボンダにスタッドバンプ形成ソフトを導入することにより為し得る。

【0058】(H) 次に、図2(H)に示すように、パッケージ(PKG)外部引き出し電極直上に樹脂を流し込み硬化させる。14は液状樹脂である。このとき、上記外周リング9は樹脂14が外側に流れ出るのを阻むダムとしての役割を果たす。

(I) この図2(I)に示す半導体装置が本発明半導体装置の第2の実施例である。

【0059】図2(I)に示すような半導体装置(第1の実施例か第2の実施例かを問わない。)によれば、ベース5の一方の表面部に配線膜4を埋め込み状に形成するので、ベース5の配線膜形成側の面を平坦にできる。そして、ファインパターンの配線膜形成側膜4を容易に形成することができる。そして、電極形成孔8はベース5に対する露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極化を図ることができる。また、ベース5にガス抜き孔10を設けることによりベース5のポップコーン現象により膜等の剥がれが生じることを防止することができる。また、フィルムと樹脂との間にボイドが生じにくく、吸湿リフロー時膜剥がれになりにくい。

【0060】そして、ベース5の配線膜形成面において半導体素子12のフリップチップ接続部よりも外側に金属からなるリング(外周リング)9を接着したので、このリング9を電源の例えばグランド電源として用いることができ、更には、半導体素子14と外部とを静電的に遮蔽する静電シールドとして活用できるが、そのみならず、樹脂封止時に封止用樹脂の外側への漏れを防止するダムとしても用いることもでき、樹脂封止不良の不良率を低めることができる。

【0061】そして、図1及び図2に示す半導体装置の製造方法(第1の実施例か第2の実施例かを問わない。)は、金属基板1の一方の表面に選択的に形成したレジスト膜(マスク膜)2をマスクとするメッキにより配線膜4をニッケルからなるエッチングストップ用金属膜3を下地として形成し、上記金属基板1の配線膜側の表面に、電極形成孔8及びガス抜き孔10を有するところの絶縁性樹脂からなるベース5を形成し、上記金属基板1の少なくとも配線膜4が形成された領域を裏面側から少なくとも上記下地を成すところのニッケルからなるエッチングストップ用金属膜3が露出するまでエッチングし、その後のニッケルのエッチング、若しくは金メッキ形成により金膜を露出させた、若しくは金膜を表面に生ぜしめた部分に半導体素子12を搭載し、PKG外部引き出し電極直上に樹脂14を流し込み硬化する。

【0062】このような製造方法によれば、金属基板1を製造上の母体として用いてレジスト膜2をマスクとするメッキにより配線膜4を形成し、その後、ベース5に

電極形成孔8を形成してからメッキにより外部電極6を形成することが可能なので、配線膜4、外部電極6を電気メッキにより形成することが容易に為し得る。なぜならば、金属基板1と各配線膜4とが電氣的に接続された状態にあるので、その金属基板1に電気メッキに必要な電位を与えることができるからである。そして、電気メッキによれば、無電解メッキによるよりも膜質の良好なメッキ膜を得ることができるので、良好な配線膜4、外部電極6を簡単に得ることができる。また、それ故、配線膜4、外部電極6の微小化、配設密度の高密度化を図ることもできる。そして、配線膜の微細化と相俟って外部電極間に通すことのできる配線膜の数を増すことができ、延いては外部電極配列段数を増すことができる。これは外部電極数の増加を可能にする。

【0063】更に、金属基板を部分的に残すことでシートの強度が上がり、変形しにくくなるため、PKG作製の作業が簡単に且つ速く行うことができるようになる。また、シートの強度が上がるため、ベースの厚さを5μmまで薄くすることが可能となり、このシートを用いることにより薄いPKGをつくることが可能になる。

【0064】図5(A)、(B)は外部電極6の配設ピッチについて従来の場合[(A) に示す。]と本実施例の場合[(B) に示す。]とを比較する断面図、図5

(C)は本実施例の場合における外部電極間を通る配線膜を増やすことができることを示す平面図である。ファインパターン化の難しい従来(FPCタイプ)の場合は配線膜の外部電極が形成される部分の幅が500μm、外部電極間を通る配線膜の幅が50μm、配線膜間の間隔が50μmとなり、外部電極配置ピッチを小さくしようとした場合、外部電極間に通すことのできる配線膜の数を多くすることができない。それに対して、本実施例によれば、ファインパターン化が可能なので、図5

(C)に示すように、外部電極配置ピッチを従来より小さくしても外部電極間に通すことのできる配線膜4aの数を多くでき、多段ボール配列が可能である。これは半導体装置の多電極化、高集積化に大きく寄与する。4aは外部電極6間を通る配線膜を示す。

【0065】また、金属基板1上のベース5のパターニングより電極形成孔8を形成することができるので、電極形成孔5の微細化が可能であり、従来、FPCタイプでは0.5mm以下に、リジット基板タイプでは0.35mm以下にできなかった電極形成孔8の径を0.22mm或いはそれ以下にすることも可能になった。そして、斯かる電極形成孔8の微細化を図ることに伴って電極形成孔8の配設密度もより高めることができる。また、電極形成孔8を絶縁性樹脂のパターニングにより行うことができるので、リジット基板タイプにおけるような電極形成孔をドリルで穴あけをする場合に比較して加工が面倒でなく、生産性が高い。

【0066】そして、金属基板1の少なくとも配線膜4

が形成された領域を裏面側から少なくとも上記下地を成すニッケルからなるエッチングストップ用金属膜 3 が露出するまでエッチングを、外側に金属基板がリング状に残存するように行うことにより、その残存する部分をリング 9 として用いるようにできる。そして、そのリング 9 を上述したようにグランド電源端子、静電シールドとして用いることができるが、そのリングは半導体装置の外形を成し、それはエッチングにより形成するので、加工精度を高くすることができる。従って、半導体装置の外形精度を高めることができる。

【0067】更に、金属基板 1 を母体として製造をするので、製造中に撓む等の変形を生じるおそれがない。従って、作業がやりやすい。尚、外周リング 9 は場合によっては後でカットし、半導体装置の小型化を図るようにしても良い。外周リング 9 は補強効果を有するも樹脂封止後には樹脂 16 自身が補強効果を持つので、必ずしも絶対不可欠とは言えず、カットしても良い場合もある。このような場合には、外周リング 9 をカットして半導体装置の小型化を図るようにしても良い。

【0068】図 6 (A) ~ (E) 及び図 7 (G)、
(I) は本発明半導体装置の製造方法の第 3 の実施例を工程 (A) ~ (I) を順に示す断面図である。本実施例は本発明を BGA (ボールグリッドアレイ) タイプの半導体装置に適用した一つの実施例である。

【0069】(A) 先ず、図 6 (A) に示すように、厚さ例えば 150 μm の銅ないし銅合金からなる薄板の表面にエッチングストップ用金属膜となるニッケル膜 (厚さ例えば 2 μm) 3 を積層したものを金属基板として用意する。

【0070】(B) 次に、図 6 (B) に示すように、銅からなる配線膜 (厚さ例えば 25 μm) 4 を選択的に形成する。この選択的形成方法は、ニッケル膜 3 の表面にレジスト膜を選択的に形成し、それをマスクとしてニッケル膜 3 を下地として銅 4 をメッキすることにより行う。この点では第 1、第 2 の実施例と本質的に異なるところはない。第 1、第 2 の実施例と同様の方法で配線膜の選択的形成ができる。但し、第 1 の実施例では金属基板として銅ないし銅合金のみからなり、表面にニッケル膜のないものを用いていたので、レジスト膜をマスクとしてメッキによりエッチングストップ用金属膜を成すニッケル膜 3 を形成し、それに続いて銅からなる配線膜 4 をメッキにより形成するという方法を探っていたが、第 2 の実施例では金属基板の表面に既にニッケル膜 3 が形成されているので、ここでニッケル膜 3 をメッキを形成することは必要としない。

【0071】(C) 次に、図 6 (C) に示すように、例えばポリイミドからなるベース 5 を選択的に形成する。選択的形成方法は第 1 の実施例の場合と同様の方法でよい。8 は電極形成孔、10 は該電極形成孔 8 よりも相当に小径のガス抜き孔である。

【0072】(D) 次に、図 6 (D) に示すように、ニッケル膜 6 をメッキすることにより電極形成孔 8 内に成長させ、更に電極形成孔 8 から突出させ、更に、その該ニッケル膜 (厚さ例えば 40 ~ 150 μm) 6 の表面に例えば半田膜 (厚さ例えば 100 μm 程度) 16 を形成する。

【0073】(E) 次に、図 6 (E) に示すように、金属基板 1 の銅からなる部分を選択的にエッチングすることによりニッケル膜 3 の表面を露出させる。この選択的エッチングは金属基板 1 (の銅ないし銅合金からなる部分) が外周部にリング状に残存し、それが外周リング 9 を成すように行う。このエッチングにおいてニッケル膜 3 が銅 4 からなる配線膜のエッチングを阻止する役割、即ちエッチングストップ用金属膜としての役割を果たすことは言うまでもない。

【0074】(F) 次に図 6 (F) に示すように、金属基板 1 の表面部に全面的に形成されていたエッチングストップ用金属膜であるニッケル膜 3 をエッチングにより除去する。このニッケル膜 3 は全面的に形成されていたのでそのまま残すと銅からなる配線膜 4 間をショートすることからエッチングにより除去する。尚、第 1 の実施例の場合には、ニッケル膜 3 が配線膜と同じパターンに形成されていたので、配線膜間を除去するおそれがなく、従って、除去する必要がないのでこの工程はない。

【0075】(G) 次に、図 7 (G) に示すように、異方性導電膜 11 を接着する。

(H) 次に、図 7 (H) に示すように、上記異方性導電膜 11 を介して金属パンプ 13 のついた半導体素子 12 を配線膜 4 (のニッケル膜 3) に電気的に接続する。

(I) 次に、図 7 (I) に示すように、PKG 外部引き出し電極上に液状樹脂 14 を流し込み、硬化させる。この図 7 (I) に示す半導体装置が本発明半導体装置の第 3 の実施例である。

【0076】本発明半導体装置の第 3 の実施例も本発明半導体装置の第 1、2 の実施例と同様の効果を享受し、本発明半導体装置の製造方法の第 3 の実施例も本発明半導体装置の製造方法の第 2、第 3 の実施例と同様の効果を享受する。

【0077】尚、本発明半導体装置の製造方法の第 3 の実施例において、金属基板 1 として表面にニッケル膜 3 を有しないものを用い、第 1、2 の実施例と同じようにするというバリエーションもあり得る。また、後で外周リング 9 の部分をカットして半導体装置の小型化を図るようにしても良い。というのは、補強体 19 が外周リング 9 の持つ補強機能、静電シールド機能を十分に果たし得るからである。

【0078】以下に、更なる本発明半導体装置の他の各別の実施例を説明する。図 8 (1) ~ (6)、図 9

(1) ~ (5)、図 10 (1) ~ (6)、図 11 (1) ~ (6)、図 12 (1) ~ (4) はそれぞれ本発明半導

体装置の上記第1～第3の実施例以外の各別の実施例を示す断面図である。図8(1)に示す半導体装置は、請求項1の最も素朴な具体例である。図面において、20は絶縁性樹脂からなり、配線基板27の母体を成すベース、21は該ベース20の一方の表面に埋め込み状に形成された配線膜で、例えば銅からなり、その表面には例えば金等のメッキ膜22が形成されている。該配線膜21はその表面がベース20の上記一方の表面と略同一表面上に位置するように埋め込まれている。23は該ベース20に形成された電極形成孔で、配線膜21の裏面(他方の表面)を部分的に露出させる。そして、ここに外部電極が形成される。

【0079】25は半導体素子で、その各外部引き出し電極にはパンプ26が形成されている。そして、該半導体素子25はその各パンプ26を配線膜21に接続することにより配線基板27にフリップチップ接続されている。尚、パンプ26は最初に半導体素子25の外部引き出し電極に形成しておいても良いし、配線基板27の配線膜21側に形成しておいても良い。以後の半導体装置においても原則的には同様である。そして、パンプ26

を介しての半導体素子25の外部引き出し電極と配線基板27との電気的な接続は、例えば熱加圧、或いは超音波振動により行う。後で異方性導電膜或いは異方性導電性樹脂を用いて半導体素子と配線膜との間の電気的接続を取る例について説明するが、本半導体装置を製造する場合、半導体素子のフリップチップ接続は異方性導電膜或いは異方性導電性樹脂を用いないで行うのである。

【0080】その異方性導電膜或いは異方性導電性樹脂を用いない場合には、半導体素子の外部取り出し電極上又は配線基板の配線膜上にパンプを形成(方法はスタッドパンプもしくはメッキで形成する)しておき、熱加圧の場合には、加熱加圧(200～400℃に半導体素子を加熱し、基板側を常温～150℃程度に加熱し、1パンプ当たり10～100gfの加圧し、1～数十s(秒)で接合が可能)して行う。また、US(超音波)振動を利用する場合には、加熱加圧超音波の条件を、例えば、加圧が1パンプ当たり10～100g、加熱が常温～200℃、時間が100ms～5s、USパワーが50mW～50Wという条件にする。

【0081】尚、超音波振動により電気的接続を行う場合、配線膜21をベース20に埋め込み状に形成した配線基板27の構造が接続作業のやり易さ、接続性の向上に有効である。というのは、超音波振動の振動方向は配線基板27の平面方向であり、その振動を受ける配線膜21はベース20に埋め込まれていることから横方向に移動することがベース20によって強く拘束され、その結果、超音波振動が有効に接続に寄与するからである。

【0082】このような半導体装置によれば、配線基板27のベース20に配線膜21が該ベース20と配線膜21の一方の表面どうしが同一平面上に位置するように

されており、配線基板27の厚さを薄くすることができ、且つ、半導体素子25がフリップチップ接続されているので、半導体装置を顕著に薄型化することができる。

【0083】図8(2)に示す半導体装置は、図8(1)に示す半導体装置の上記配線膜21の上記電極接続孔23に露出する部分に外部電極28を形成したものである。この外部電極28にて該半導体装置が例えばプリント配線板等に搭載される。

【0084】図8(3)に示す半導体装置は、図8(1)に示す半導体装置のベース20の配線膜形成側の面の周縁に金属、例えば銅からなるリング29を形成してなるものであり、図1、図2に示す半導体装置と同じ方法で製造される過程で該リング29が形成される。該リング29が補強と、封止樹脂を堰き止めるダムとしての役割を果たす。

【0085】図8(4)に示す半導体装置は、図8(3)に示す半導体装置の形成後、図8(2)の半導体装置と同様に、外部電極28を形成したものである。図8(5)に示す半導体装置は、ベース20の配線膜21が形成されていない部分に孔30を形成したものである。該孔30は図1、図2に示す製造方法で製造された半導体装置のガス抜き孔(10)と同じ役割を果たす。

【0086】図8(6)に示す半導体装置は、図8(1)に示す半導体装置の半導体素子25と配線基板27との間を接続する各パンプ26の周りを樹脂32で封止してなるものであり、これにより半導体素子25と配線基板27との間を接続するパンプ26を封止し、その部分の劣化等を防止し、以て信頼度の向上を図ることができる。

【0087】図9(1)に示す半導体装置は、図8(1)に示す半導体装置に半導体素子25と配線基板27との間の部分を封止する樹脂32を設け、半導体素子25表面を保護するようにしたものである。尚、樹脂32の形成は、フリップチップ接続後、アンダーフィルムを用いることで流し込みが可能である。その場合、まず、素子と配線基板との間に樹脂を流し込み、硬化させてから他の部分にも、例えばパッケージの外部引き出し電極と対応する部分にも流し込むという方法がよい。尤も、一度に半導体素子・基板間と、その周りに樹脂を供給しても良い。この図9(1)に示す半導体装置の製造手順を示すと、半導体素子25として外部引き出し電極にパンプを形成したものを用意し、超音波もしくは熱加圧により該半導体素子25のパンプ26を上記配線膜21に電気的及び機械的に接続することによりフリップチップ接続をし、少なくともパンプ26近傍あるいは素子25・基板27間に流し込み、その後、その樹脂を流し込むという手順になる。尚、一つの基板27は、複数の半導体装置分一体に形成する場合が普通であり、その場合には、所定の工程が済むと基板をダイシングによるカ

ット或いはレーザービーム等によりカットすることにより分割する。

【0088】図9(2)に示す半導体装置は、樹脂32で、半導体素子25と配線基板27との間の部分を封止して半導体素子25表面を保護するに止まらず、配線基板27の電極形成孔23(外部引き出し電極が形成される部分)と対応する部分上迄樹脂32で覆うようにしてなる。これにより樹脂32で封止する領域を増やすことができる。

【0089】図9(3)に示す半導体装置は、図8(3)に示す半導体装置に、リング29で囲繞された領域において半導体素子25・配線基板27間を含め配線基板27の配線膜形成側の面を封止する樹脂32を形成したもので、図9(1)、(2)で示す半導体装置よりもより有効に配線基板27の配線膜形成側の表面を保護すると共に、樹脂32をリング29で堰き止めて該樹脂32が外側に食み出すのを有効に防止することができる。

【0090】図9(4)に示す半導体装置は、半導体素子25の外部引き出し電極と配線基板27の配線膜21とを異方性導電膜或いは異方性導電性樹脂35を介して電気的に接続したものである。超音波振動や熱加圧に代えて異方性導電膜或いは異方性導電性樹脂35を用いてもフリップチップ接続ができる。図9(5)に示す半導体装置は、図9(4)に示す半導体装置に、リング29を付加し、更に、異方性導電膜或いは異方性導電性樹脂35により配線基板27にフリップチップ接続された半導体素子25とリング29との間に樹脂32を封止したものである。

【0091】図10(1)に示す半導体装置は、配線膜21の電極形成孔23に銅からなる外部電極8を形成し、リング29を有し、半導体素子25のフリップチップ接続を異方性導電膜或いは異方性導電性樹脂35により行ったものである。尚、異方性導電膜は、フィルム状の樹脂内に数 μm 程度の微細な導電性粒子を分散させたものであり、このような異方性導電膜を用いての半導体素子の接続は、先ず、基板側に異方性導電膜を貼り付け(このとき50~150℃程度に加熱して加圧するときれいに貼り付けを行うことができる。)、この上にバンブ付の半導体素子の位置合わせ(バンブと配線膜との間の位置合わせ)して加圧、加熱し、その後、異方性導電膜の樹脂を硬化させるために、加熱(150~300℃)、加圧(単位当たり10~1000g/mm²)を、20~60s(秒)程度の時間行う。このとき、バンブと基板の配線膜との間に導電粒子を挟み込むことができるので、導電性を得ることができるのである。

【0092】尚、異方性導電膜に代えて異方性導電樹脂を用いても良い。この場合には、基板上に樹脂を塗っておき、この上に、バンブ付きの半導体素子をそのバンブと配線基板側の配線膜との位置合わせをして加圧、加熱

により配線基板にフリップで載せ、その後、その樹脂を硬化させるため、加熱(150~300℃)、加圧(単位当たり10~1000g/mm²)を、20~60s程度の時間行う。このとき、バンブと基板の配線膜との間に導電粒子を挟み込むことができるので、導電性を得ることができるのである。

【0093】尚、上記の場合、異方性導電樹脂ではなくアンダーフィルム等の樹脂でも良い。樹脂塗布後、超音波にてバンブと配線膜間を接合し、その後、樹脂硬化しても良い。

【0094】図10(2)に示す半導体装置は、リング29を有し、半導体素子25のフリップチップ接続を異方性導電膜或いは異方性導電性樹脂35により行ったものであり、図10(1)に示すものとは、外部電極28がない点でのみ異なる。

【0095】図10(3)に示す半導体装置は、図10(1)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものであり、図10(4)に示す半導体装置は、図10(2)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものである。

【0096】図10(5)に示す半導体装置は、配線基板27にリング29を有し、半導体素子25のフリップチップ接続を異方性導電膜或いは異方性導電性樹脂35を用いて行い、配線膜21の電極形成孔23に銅からなる外部電極28を形成し、且つ、上記半導体素子25のフリップチップ接続部を周りから封止したものである。具体的には、半導体素子25にはバンブ26を形成しておき、配線基板27側に異方性導電膜を貼り付け(或いは異方性導電性樹脂を塗布し)ておき、半導体素子25の各バンブ26を配線基板27の配線膜21に位置合わせて該半導体素子25を異方性導電膜を介して配線基板27に熱加圧することによりフリップチップ接続をする。

【0097】図10(6)に示す半導体装置は、図10(5)に示す半導体装置に示す半導体装置とは、外部電極28がない点でのみ異なり、他の点では同じである。

【0098】図11(1)に示す半導体装置は、図10(5)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものであり、図11(2)に示す半導体装置は、図10(6)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものである。図11(3)に示す半導体装置は、図10(5)に示す半導体装置とは、半導体素子25を熱加圧或いは超音波振動によりフリップチップ接続を行い、樹脂32を半導体素子25と配線基板との間にも存在させ素子25表面を樹脂封止するようにしたものである点でのみ異なり、それ以外では同じである。

【0099】図11(4)に示す半導体装置は、図11(3)に示す半導体装置とは、外部電極26が形成され

ていないと言う点でのみ異なり、それ以外では共通である。図11(5)に示す半導体装置は、図10(3)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものであり、図11(6)に示す半導体装置は、図10(4)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものである。

【0100】図12(1)に示す半導体装置は、配線基板27の配線膜21に、例えばバンプ26を介して半導体素子25の外部引き出し電極を接続することにより半導体素子25のフリップチップ接続をし、半導体素子25がフリップチップ接続された部分を含め配線基板27の配線膜形成側の表面のリング29で囲繞された領域を樹脂封止したもので、電極接続孔23に形成された外部引き出し電極41はファンアウト(半導体素子25から外側に逸れたところに対応したところ)に設けられている。

【0101】図12(1)に示す半導体装置も図14に示すようなワイヤボンディングタイプであってCPSパッケージタイプの半導体装置と比較してパッケージ厚さを薄くできやすいことは同じである。

【0102】図12(2)に示す半導体装置は、図12(1)に示す半導体装置とは、電極接続孔23に形成された外部引き出し電極41がファンアウトのみならず、ファンイン(半導体素子25と対応した領域内)にも設けられている点で相違しているが、それ以外の点で共通している。

【0103】尚、この図12(2)に示す半導体装置、図12(1)に示す半導体装置は、図14に示す従来のワイヤボンディングタイプの半導体装置と比較し、半導体装置の実装時におけるランド部の半田接合破壊がしにくい。というのは、図14に示す半導体装置の場合、ファンインにもランドが位置するようにした場合には、T/C試験時において実装基板の熱膨張変化に比べ、ランド部の熱変化が小さい(ランド部はシリコンからなる半導体素子の直下にあるためランド部の熱変化はシリコンの熱膨張変化に依存する。シリコンの熱膨張率は 1×10^{-6} 程度で、 2×10^{-3} という基板の熱膨張率に比べ小さい。)、ランド部の半田接合部が破壊しやすい。

【0104】それに対して、図12(1)、(2)に示す半導体装置(次に述べる図12(3)、(4)に示す半導体装置)は、配線基板27と半導体素子25との間に樹脂32が介在しているため、該樹脂32により応力緩和が為されて、半田接合破壊が生じない。

【0105】図12(3)に示す半導体装置は、すべての電極41をファンインに設けたもので、パッケージサイズを略チップサイズにできるという利点がある。図12(4)に示す半導体装置は、配線基板27のリング29が形成された側に、該リング29と半導体素子25搭載部との中間部に積層用接続片42を設けたもので、該片42の上面にメッキすると良い。そして、該接続片4

2を介して別の半導体装置(例えば図12(4)に示す半導体装置)を接続し、複数の半導体素子を積層配置をした高集積度の半導体装置を得るようにすることが可能になる。具体的には、一つの半導体装置の接続片42を別の半導体装置の電極41に接続するという態様で、多数積層することが可能である。

【0106】尚、接続片42に対するメッキの形成方法としては、第1に、金属ベース材を選択的にエッチングする前にマスクを用いて選択的にメッキし、その後、マスク膜を形成し、しかる後、該マスク膜をマスクとして該金属ベース材を選択的にエッチングする方法、第2に、ベース材を選択的にエッチングする前に、マスク膜を選択的に形成し、該マスク膜をマスクとしてメッキ膜を形成し、その後、該メッキ膜をマスクとして金属ベース材を選択的にエッチングする方法、第3に、基板完成後に、無電解メッキで全体を再度メッキする方法等がある。

【0107】上記各半導体装置の製造においては、一個の配線基板に複数個分の半導体装置を形成し、ダイシングによるカットや、パッケージの各半導体装置間の連結部をレーザビーム等によってカットすることにより個々の半導体装置に分割するという方法を探って生産効率を高めるようにする良い。

【0108】上記各半導体装置は各種電子機器に用いることができ、特に小型化を要する例えば携帯電話等に用いて小型化に大きく寄与する。そして、このような電子機器は上記利点を有した半導体装置を用い、その半導体装置は上記利点を有した半導体装置の製造方法により製造できるので、その製造方法の利点を享受することができる。図13はそのような電子機器の一例(携帯電話)Aを示し、この内部には、マザーボードBに搭載された本発明に係る半導体装置Bが存在し、電子機器の内部回路の少なくとも一部を成している。

【0109】

【発明の効果】本発明によれば、ベースの一方の表面部に配線膜を埋込状に形成するので、表面の段差をなくすることができ、斯かる表面上に半導体素子をフリップチップにより搭載するので、半導体装置の厚さを薄くすることができる。そして、電極形成孔はベースの露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極化を図ることができる。

【図面の簡単な説明】

【図1】(A)乃至(E)は本発明半導体装置の製造方法の第1、第2の実施例の工程(A)～(E)を順に示す断面図である。

【図2】(F)乃至(I)は本発明半導体装置の製造方法の第1、第2の実施例の工程(F)～(I)を順に示す断面図である。

【図3】(A)、(B)は上記実施例における、レジス

ト膜として剥離体のものを用いた場合〔(A)に示す。〕と、永久レジスタタイプのものを用いた場合〔(B)に示す。〕のベース形成後における状態を比較して示す拡大断面図である。

【図4】(A)、(B)は外部電極を成すニッケル膜上に半田メッキ膜を形成し〔(A)参照〕、その後、リフローにより整形する〔(B)参照〕ようにした場合の各工程における断面図である。

【図5】(A)、(B)は従来の場合〔(A)に示す。〕と上記実施例の場合〔(B)に示す。〕とを比較する断面図であり、(C)は該実施例における配線膜のパターンを示す平面図である。

【図6】(A)～(F)は本発明半導体装置の製造方法の第3の実施例の工程(A)～(F)を工程順に示す断面図である。

【図7】(G)～(K)は本発明半導体装置の製造方法の第3の実施例の工程(G)～(K)を工程順に示す断面図である。

【図8】(1)～(6)は本発明半導体装置の他の各別の実施例を示す断面図である。

【図9】(1)～(5)は本発明半導体装置の更に他のバリエーションを示す断面図である。

【図10】(1)～(6)は本発明半導体装置の更に各*

*別のバリエーションを示す断面図である。

【図11】(1)～(6)は本発明半導体装置の更に各別のバリエーションを示す断面図である。

【図12】(1)～(4)は本発明半導体装置の更に各別のバリエーションを示す断面図である。

【図13】本発明半導体装置を搭載した電子機器を示す一部切欠斜視図である。

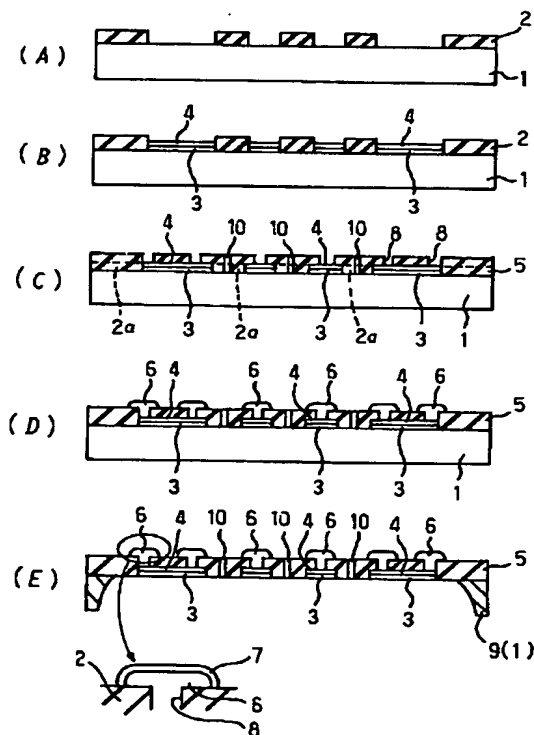
【図14】一つの従来例を示す断面図である。

【図15】別の従来例を示す断面図である。

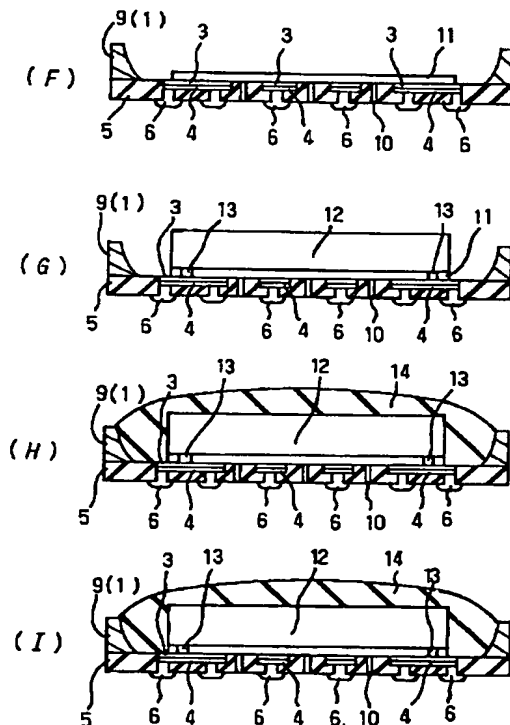
【符号の説明】

1・・・金属基板、2・・・マスク膜（レジスト膜）、
3・・・エッチングストップ用金属膜（ニッケル膜）、4・・・配線膜（銅膜）、5・・・ベース、6・・・外部電極、7・・・外部電極の半田、8・・・電極形成孔、10・・・ガス抜き孔、12・・・放熱板、14・・・半導体素子、20・・・樹脂からなる基板（ベース）、21・・・配線膜、23・・・電極形成孔、25・・・半導体素子、26・・・バンプ、27・・・配線基板、28・・・外部電極、29・・・リング、30・・・エア抜き孔、32・・・樹脂、35・・・異方性導電膜或いは異方性導電性樹脂、45・・・微小半田ボール電極。

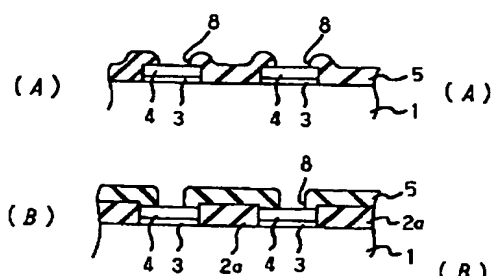
【図1】



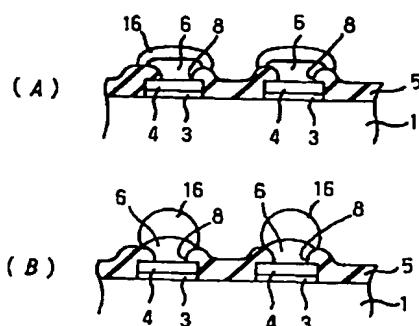
【図2】



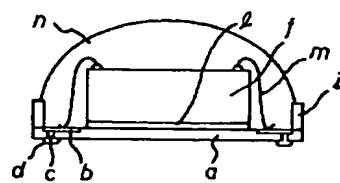
【図3】



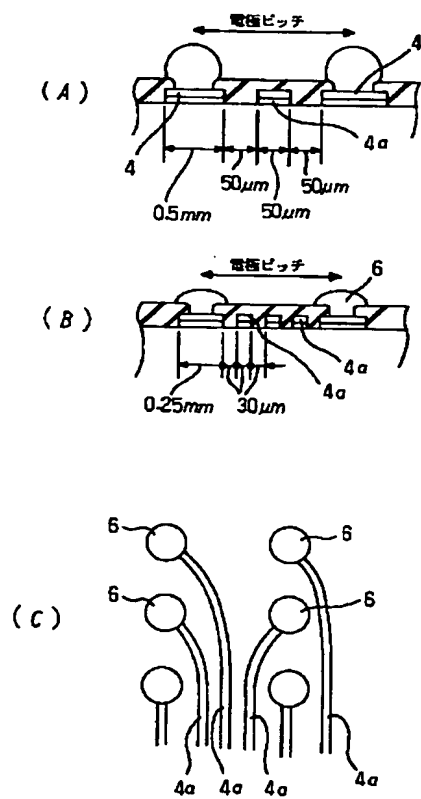
【図4】



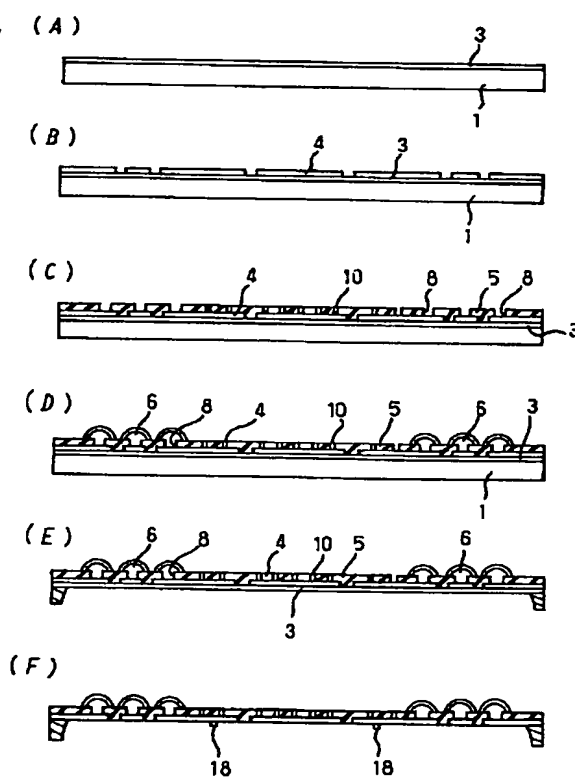
【図14】



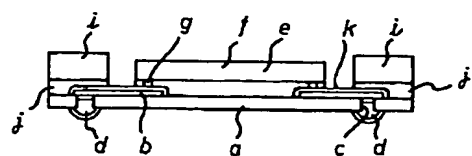
【図5】



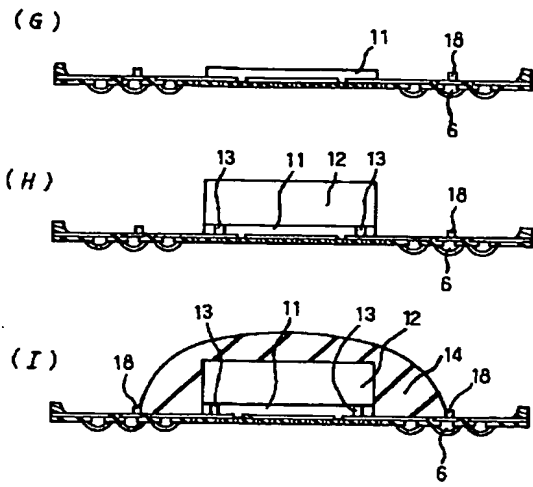
【図6】



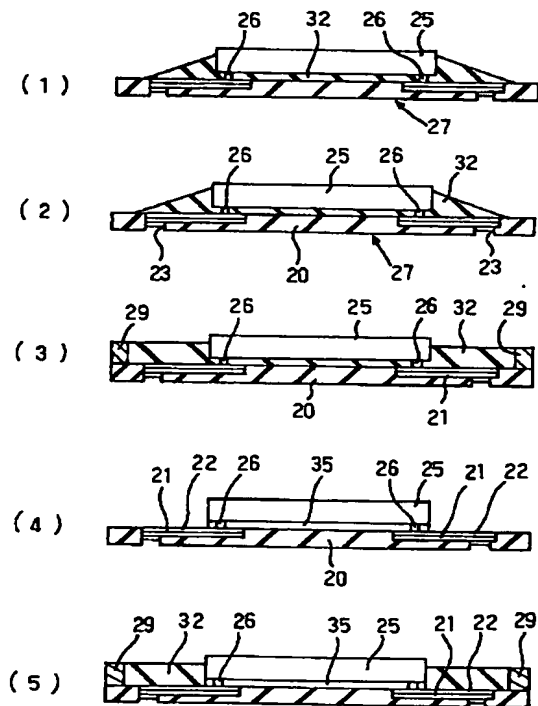
【図15】



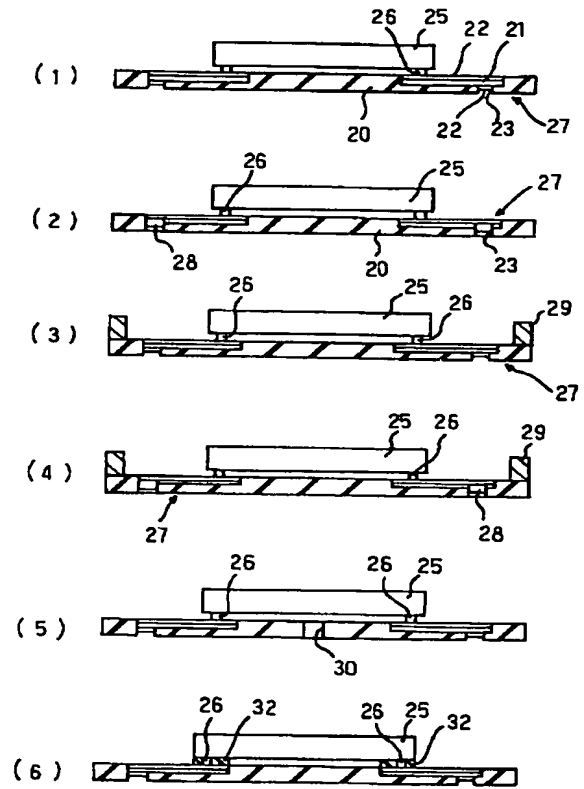
【図7】



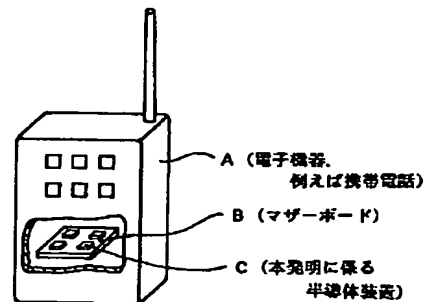
【図9】



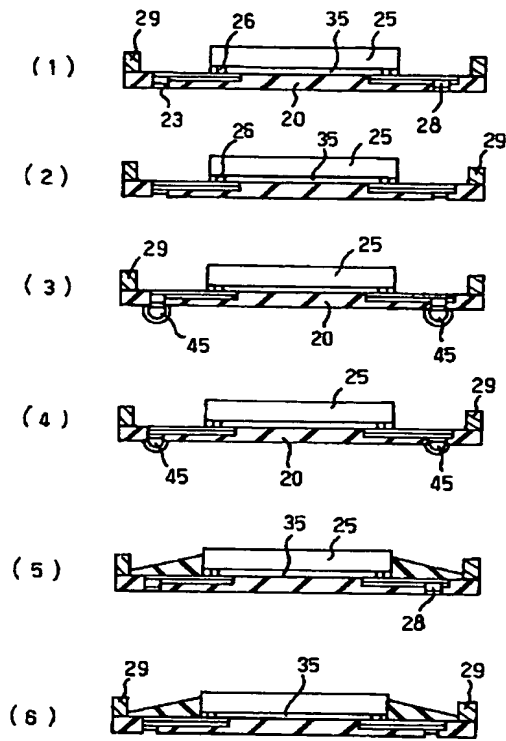
【図8】



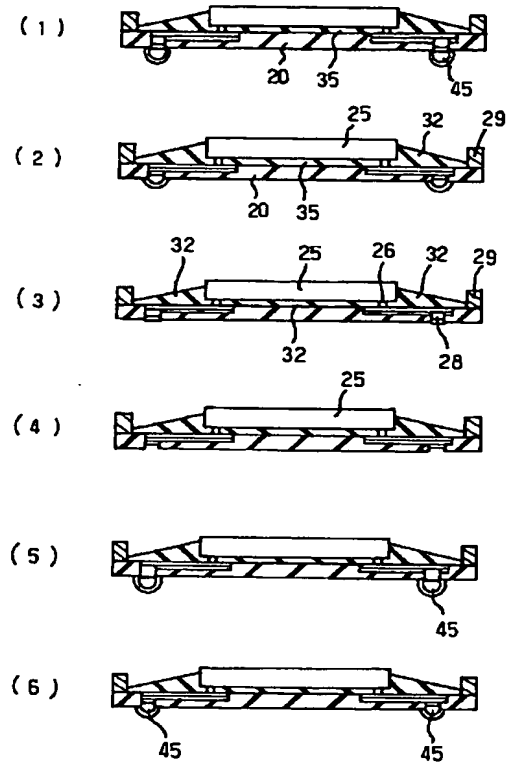
【図13】



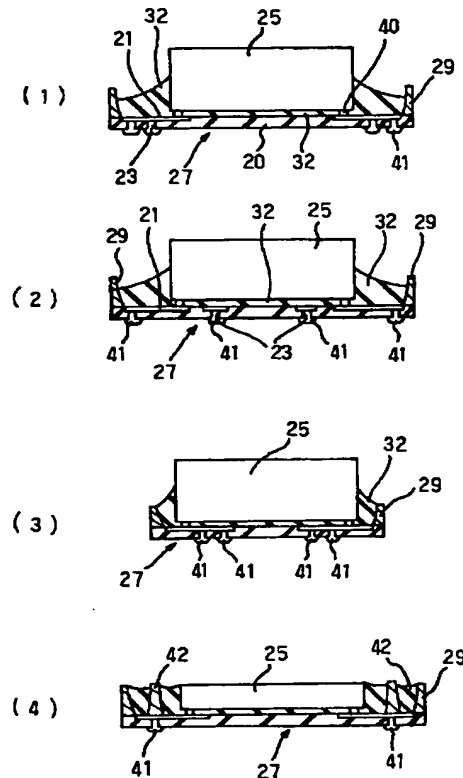
【図10】



【図11】



【図12】



【手続補正書】

【提出日】平成14年5月10日(2002.5.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】しかし、最近、半導体素子をフリップチップ接続を行ったタイプのCSP(チップサイズパッケージ)も現れている。図15はそのようなフリップチップ接続タイプであってFPC(フレキシブルプリント配線基板)を用いたCPSの従来例の一つを示す断面図である。同図において、aはポリイミド樹脂からなるベース、bは該ベースaの表面に形成された例えば銅からなる配線膜、cは該ベースaに形成された電極形成孔、dは該電極形成孔cに形成された半田からなる微小ボール電極、eはベースa表面に半導体素子fを接着しながら上記配線膜bと該半導体素子fの外部引き出し電極を該電極表面の金属パンプgを介して接続する異方性導電

膜、iはフィルム補強リングで、例えば銅或いはニッケルからなる。jは該フィルム補強リングiをベースaに接着する接着剤である。kは上記配線膜bの表面に被着された例えば金からなるメッキ膜である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】(A) 先ず、図1(A)に示すように、厚さ例えば50~250μmの銅乃至銅合金からなる金属基板1を用意し、レジスト膜(マスク膜、厚さ例えば30乃至60μm)2を選択的に形成する。この形成は前述の通り、例えばアクリル系の感光性剥離タイプ或いはエポキシアクリル系の感光性永久レジスト膜のレジストを用い、露光、現像によりパターンニングしてレジスト膜2とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】

【0039】(C) 次に、上記レジスト膜2が例えばアクリル系の感光性剥離タイプのものである場合にはそれを除去する。また、例えばエポキシアクリル系の感光性永久レジストの場合には除去しないでそのまま残存させる。そして、例えばポリイミド樹脂からなるベース（厚さ例えば25 μ m）5を形成し、各所定位置に電極形成孔8及びそれより小径のガス抜き孔10を有するようにパターンニングする。図1（C）はそのパターンニング後の状態を示す。ガス抜き孔10はベース5の下部に生じたガスを逃すことにより、熱処理により膨張してベース5を剥がすのを未然に防止する役割を果たす。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】図3（A）、（B）はレジスト膜2として剥離体のものを用いた場合〔（A）に示す。〕と、永久レジストタイプのものを用いた場合〔（B）に示す。〕のベース5形成後における状態を比較して示す拡大断面図である。そして、2aは永久レジストタイプのものを用いた場合のレジスト膜2の残存部である。この永久レジストタイプのものを用いた場合には、配線膜の表面をベースの表面と略完全に同一平面上に位置するようにすることができる、即ち、表面の平滑化を図ることができる。これは後でニッケルによる電極を形成するときとその下地に段差がないので外部電極6に段差による変形が生じにくいと言う利点をもたらす。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】（D）次に、電気メッキにより図1（D）に示すように、ニッケル膜3を各電極形成孔8にて成長させて稍ボール状の電極と成す。メッキする厚さは例えば1～150 μ m程度にする。更に、この後メッキで金メッキを行う。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】（E）次に、金属基板1をその裏面側から各半導体装置毎に周縁部に外周リング9として残存するように選択的にエッチングすることにより、外周リング

9を形成すると共に、配線膜4をニッケル膜3を介して露出させる。このエッチングはアルカリエッチャント（アンモニア系）を用いて行う。その際、ニッケル膜3は銅からなる配線膜4のエッチングを阻む。その後、ニッケルをエッチングして金膜を露出させる。尚、便宜上図1（E）本体及び図2には金膜7を図示しなかったが、図1（E）の下部に外部電極6を拡大して示し、それには金膜7を示した。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】尚、半導体素子へのバンプ13の形成は通常のスタッドバンプボンダーを用いて為すことができる。その場合の一つの良好な条件例を示すと、温度：100～250℃、荷重：10～70gf、US時間：5～50ms、US（超音波）パワー：1～500mwである。バンプはメッキで形成しても良い。また、バンプを半導体素子側ではなく、ベース5の配線膜4側に形成するようにしても良い。配線膜4へのバンプの形成は、通常のワイヤボンダにスタッドバンプ形成ソフトを導入することにより為し得る。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】（H）次に、図2（H）に示すように、パッケージ（PKG）外部引き出し電極直上に樹脂を流し込み硬化させる。14は液状樹脂である。このとき、上記外周リング9は樹脂14が外側に流れ出るのを阻むダムとしての役割を果たす。

（I）次に、図2（I）に示すように、ニッケルからなる外部電極を例えばリフローする等により略ドーム状に整形する。尚、図4（A）、（B）に示すように、外部電極6を成すニッケル膜6上に半田メッキ膜16を形成し〔（A）参照〕、その後、リフローにより整形する〔（B）参照〕ようにしても良い。これにより半導体装置が完成する。この図2（I）に示す半導体装置が本発明半導体装置の第1の実施例である。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次に、同じ図（図1、図2）を参照して本発明半導体装置の製造方法の第2の実施例を説明する。

（A）先ず、図1（A）に示すように、厚さ例えば50～250 μ mの銅乃至銅合金からなる金属基板1を用意

し、レジスト膜（マスク膜、厚さ例えば30乃至60 μ m）2を選択的に形成する。この形成は前述の通り、例えばアクリル系の感光性剥離タイプ或いはエポキシアクリル系の感光性永久レジスト膜のレジストを用い、露光、現像によりパターンニングすることによりレジスト膜2とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】（C）次に、上記レジスト膜2が例えばアクリル系の感光性剥離タイプのものである場合にはそれを除去する。また、例えばエポキシアクリル系の感光性永久レジストの場合には除去しないでそのまま残存させる。そして、例えばポリイミド樹脂からなるベース（厚さ例えば25 μ m）5を形成し、各所定位置に電極形成孔8及びそれより小径のガス抜き孔10を有するようにパターンニングする。図1（C）はそのパターンニング後の状態を示す。ガス抜き孔10はベース5の下部に生じたガスを逃すことにより、熱処理により膨張してベース5を剥がすのを未然に防止する役割を果たす。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】図3（A）、（B）はレジスト膜2として剥離体のものを用いた場合〔（A）に示す。〕と、永久レジストタイプのものを用いた場合〔（B）に示す。〕のベース5形成後における状態を比較して示す拡大断面図である。そして、2aは永久レジストタイプのものを用いた場合のレジスト膜2の残存部である。この永久レジストタイプのものを用いた場合には、配線膜の表面をベースの表面と略完全に同一平面上に位置するようにすることができる、即ち、表面の平滑化を図ることができる。これは後でニッケルによる電極を形成するときにその下地に段差がないので外部電極6に段差による変形が生じにくいという利点をもたらす。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】（D）次に、電気メッキにより図1（D）に示すように、ニッケル膜3を各電極形成孔8にて成長させて稍ボール状の電極と成す。メッキする厚さは例えば1～150 μ m程度にする。更に、この後メッキで金メッキを行う。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】（E）次に、金属基板1をその裏面側から各半導体装置毎に周縁部に外周リング9として残存するように選択的にエッチングすることにより、外周リング9を形成すると共に、配線膜4をニッケル膜3を介して露出させる。このエッチングはアルカリエッチャント（アンモニア系）を用いて行う。その際、ニッケル膜3は銅からなる配線膜4のエッチングを阻む。その後、ニッケルをエッチングして金膜を露出させる。尚、便宜上図1（E）本体及び図2（F）～（I）には金膜7を図示しなかったが、図1（E）の下部に外部電極6を拡大して示し、それには金膜7を示した。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】（H）次に、図2（H）に示すように、パッケージ（PKG）外部引き出し電極直上に樹脂を流し込み硬化させる。14は液状樹脂である。このとき、上記外周リング9は樹脂14が外側に流れ出るのを阻むダムとしての役割を果たす。

（I）この図2（I）に示す半導体装置が本発明半導体装置の第2の実施例である。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正内容】

【0059】図2（I）に示すような半導体装置（第1の実施例か第2の実施例かを問わない。）によれば、ベース5の一方の表面部に配線膜4を埋め込み状に形成するので、ベース5の配線膜形成側の面を平坦にできる。そして、ファインパターンの配線膜形成側に配線膜4を容易に形成することができる。そして、電極形成孔8はベース5に対する露光、現像により形成できるので、微細化、高集積密度化を図ることができ、延いては半導体装置の高集積化、多電極化を図ることができる。また、ベース5にガス抜き孔10を設けることによりベース5のポップコーン現象により膜等の剥がれが生じることを防止することができる。また、フィルムと樹脂との間にボイドが生じにくく、吸湿リフロー時膜剥がれになりにくい。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】そして、ベース5の配線膜形成面において半導体素子12のフリップチップ接続部よりも外側に金属からなるリング（外周リング）9を接着したので、このリング9を電源の例えばグラウンド電源として用いることができ、更には、半導体素子12と外部とを静電的に遮蔽する静電シールドとして活用できるが、そのみならず、樹脂封止時に封止用樹脂の外側への漏れを防止するダムとしても用いることもでき、樹脂封止不良の不良率を低めることができる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】そして、図1及び図2に示す半導体装置の製造方法（第1の実施例か第2の実施例かを問わない。）は、金属基板1の一方の表面に選択的に形成したレジスト膜（マスク膜）2をマスクとするメッキにより配線膜4をニッケル膜（エッチングストップ用金属膜）3を下地として形成し、上記金属基板1の配線膜側の表面に、電極形成孔8及びガス抜き孔10を有するところの絶縁性樹脂からなるベース5を形成し、上記金属基板1の少なくとも配線膜4が形成された領域を裏面側から少なくとも上記下地を成すところのニッケル膜（エッチングストップ用金属膜）3が露出するまでエッチングし、その後のニッケルのエッチング、若しくは金メッキ形成により金膜を露出させた、若しくは金膜を表面に生ぜしめた部分に半導体素子12を搭載し、PKG外部引き出し電極直上に樹脂14を流し込み硬化する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】また、金属基板1上のベース5のバタニングより電極形成孔8を形成することができるので、電極形成孔8の微細化が可能であり、従来、FPCタイプでは0.5mm以下に、リジット基板タイプでは0.35mm以下にできなかった電極形成孔8の径を0.22mm或いはそれ以下にすることも可能になった。そして、斯かる電極形成孔8の微細化を図ることに伴って電極形成孔8の配設密度もより高めることができる。また、電極形成孔8を絶縁性樹脂のバタニングにより行うことができるので、リジット基板タイプにおけるような電極形成孔をドリルで穴あけをする場合に比較して加工が面倒でなく、生産性が高い。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正内容】

【0066】そして、金属基板1の少なくとも配線膜4が形成された領域を裏面側から少なくとも上記下地を成すニッケル膜（エッチングストップ用金属膜）3が露出するまでエッチングを、外側に金属基板がリング状に残存するように行うことにより、その残存する部分をリング9として用いるようにできる。そして、そのリング9を上述したようにグラウンド電源端子、静電シールドとして用いることができるが、そのリングは半導体装置の外形を成し、それはエッチングにより形成するので、加工精度を高くすることができる。従って、半導体装置の外形精度を高めることができる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】更に、金属基板1を母体として製造をするので、製造中に撓む等の変形を生じるおそれがない。従って、作業がやりやすい。尚、外周リング9は場合によっては後でカットし、半導体装置の小型化を図るようにしても良い。外周リング9は補強効果を有するも樹脂封止後には樹脂14自身が補強効果を持つので、必ずしも絶対不可欠とは言えず、カットしても良い場合もある。このような場合には、外周リング9をカットして半導体装置の小型化を図るようにしても良い。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】（B）次に、図6（B）に示すように、銅からなる配線膜（厚さ例えば25 μ m）4を選択的に形成する。この選択的形成方法は、ニッケル膜3の表面にレジスト膜を選択的に形成し、それをマスクとしてニッケル膜3を下地として銅からなる配線膜4をメッキすることにより行う。この点では第1、第2の実施例と本質的に異なるところはない。第1、第2の実施例と同様の方法で配線膜の選択的形成ができる。但し、第1、第2の実施例では金属基板として銅ないし銅合金のみからなり、表面にニッケル膜のないものを用いていたので、レジスト膜をマスクとしてメッキによりエッチングストップ用金属膜を成すニッケル膜3を形成し、それに続いて銅からなる配線膜4をメッキにより形成するという方法を採用していたが、第3の実施例では金属基板の表面に既にニッケル膜3が形成されているので、ここでニッケル膜3をメッキにより形成することは必要としない。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正内容】

【0072】(D)次に、図6(D)に示すように、ニッケル膜3をメッキすることにより電極形成孔8内にて成長させ、更に電極形成孔8から突出させ、更に、その該ニッケル膜(厚さ例えば40~150 μ m)6の表面に例えば半田膜(厚さ例えば100 μ m程度)16を形成する。尚、図4(A)、(B)に示すように、外部電極を成すニッケル膜6上に半田メッキ膜16を形成し

〔(A)参照〕、その後、リフローにより整形する

〔(B)参照〕ようにしても良い。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正内容】

【0075】(G)次に、図7(G)に示すように、ニッケル膜3を除去した面に樹脂からなるダム18を形成し、更に、異方性導電膜11を接着する。尚、このダム18は後でボンディングされる半導体素子の樹脂封止領域の周縁部にリング状に形成される。

(H)次に、図7(H)に示すように、上記異方性導電膜11を介して金属バンプ13のついた半導体素子12を配線膜4(のニッケル膜3)に電気的に接続する。

(I)次に、図7(I)に示すように、PKG外部引き出し電極上に液状樹脂14を流し込み、硬化させる。この図7(I)に示す半導体装置が本発明半導体装置の第3の実施例である。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正内容】

【0085】図8(4)に示す半導体装置は、図8(3)に示す半導体装置の形成後、図8(2)の半導体装置と同様に、外部電極28を形成したものである。図8(5)に示す半導体装置は、ベース20の配線膜21が形成されていない部分に孔30を形成したものである。該孔30は図1、図2に示す製造方法で製造された半導体装置のガス抜き孔10と同じ役割を果たす。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正内容】

【0087】図9(1)に示す半導体装置は、図8(1)に示す半導体装置に半導体素子25と配線基板27との間の部分を封止する樹脂32を設け、半導体素子25表面を保護するようにしたものである。尚、樹脂3

2の形成は、フリップチップ接続後、アンダーフィルムを用いることで流し込みが可能である。その場合、先ず、半導体素子と配線基板との間に樹脂を流し込み、硬化させてから他の部分にも、例えばパッケージの外部引き出し電極と対応する部分にも流し込むという方法がよい。尤も、一度に半導体素子・基板間と、その周りに樹脂を供給しても良い。この図9(1)に示す半導体装置の製造手順を示すと、半導体素子25として外部引き出し電極にバンプを形成したものを用意し、超音波もしくは熱加熱により該半導体素子25のバンプ26を上記配線膜21に電気的及び機械的に接続することによりフリップチップ接続をし、少なくともバンプ26近傍あるいは半導体素子25・配線基板27間に流し込み、その後、その樹脂を流し込むという手順になる。尚、一つの配線基板27は、複数の半導体装置分一体に形成する場合が普通であり、その場合には、所定の工程が済むと基板をダイシングによるカット或いはレーザービーム等によりカットすることにより分割する。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】図10(1)に示す半導体装置は、配線膜21の電極形成孔23に銅からなる外部電極28を形成し、リング29を有し、半導体素子25のフリップチップ接続を異方性導電膜或いは異方性導電性樹脂35により行ったものである。尚、異方性導電膜は、フィルム状の樹脂内に数 μ m程度の微細な導電性粒子を分散させたものであり、このような異方性導電膜を用いての半導体素子の接続は、先ず、基板側に異方性導電膜を貼り付け(このとき50~150℃程度に加熱して加圧するときれいに貼り付けを行うことができる。)、この上にバンプ付の半導体素子の位置合わせ(バンプと配線膜との間の位置合わせ)して加圧、加熱し、その後、異方性導電膜の樹脂を硬化させるために、加熱(150~300℃)、加圧(単位当たり10~1000g/mm²)を、20~60s(秒)程度の時間行う。このとき、バンプと基板の配線膜との間に導電粒子を挟み込むことができるので、導電性を得ることができるのである。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正内容】

【0099】図11(4)に示す半導体装置は、図11(3)に示す半導体装置とは、外部電極28が形成されていないと言う点でのみ異なり、それ以外では共通である。図11(5)に示す半導体装置は、図10(3)に示す半導体装置の電極形成孔23に微小半田ボール電極

45を形成したものであり、図11(6)に示す半導体装置は、図10(4)に示す半導体装置の電極形成孔23に微小半田ボール電極45を形成したものである。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

【補正内容】

【0100】図12(1)に示す半導体装置は、配線基板27の配線膜21に、例えばパンプ26を介して半導体素子25の外部引き出し電極を接続することにより半導体素子25のフリップチップ接続をし、半導体素子25がフリップチップ接続された部分を含め配線基板27の配線膜形成側の表面のリング29で囲繞された領域を樹脂封止したもので、電極形成孔23に形成された外部引き出し電極41はファンアウト(半導体素子25から外側に逸れたところに対応したところ)に設けられている。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正内容】

【0105】図12(3)に示す半導体装置は、すべての電極41をファンインに設けたもので、パッケージサイズを略チップサイズにできるという利点がある。図12(4)に示す半導体装置は、配線基板27のリング29が形成された側に、該リング29と半導体素子25搭載部との中間部に積層用接続片42を設けたもので、該積層用接続片42の上面にメッキすると良い。そして、該接続片42を介して別の半導体装置(例えば図12(4)に示す半導体装置)を接続し、複数の半導体素子を積層配置をした高集積度の半導体装置を得ることが可能になる。具体的には、一つの半導体装置の接続片42を別の半導体装置の電極41に接続するという態様で、多数積層することが可能である。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】(G)～(I)は本発明半導体装置の製造方法の第3の実施例の工程(G)～(I)を工程順に示す断面図である。